

# DRIVING METHOD OF CONTROL CIRCUIT OF DC-DC CONVERTER, CONTROL CIRCUIT OF DC-DC CONVERTER, DC-DC CONVERTER AND ELECTRONIC APPARATUS

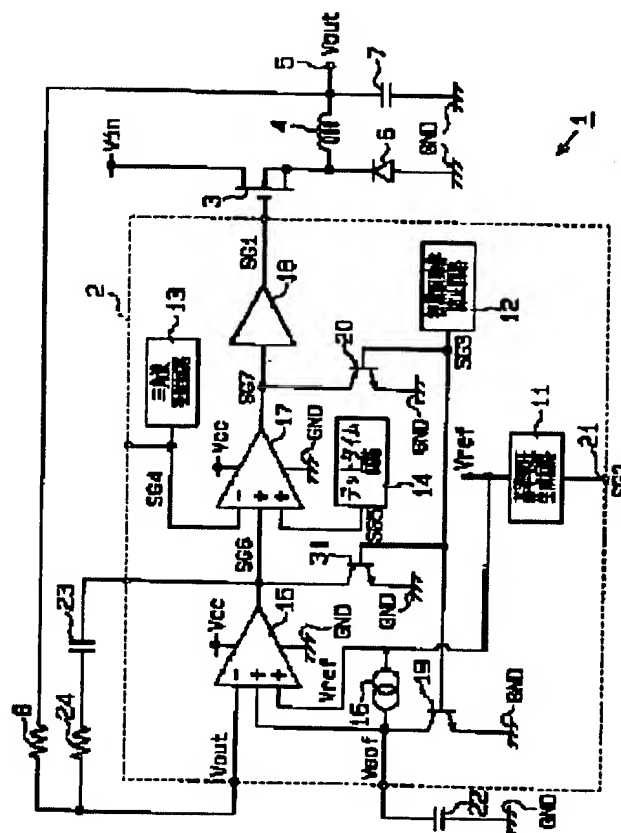
**Patent number:** JP11075365  
**Publication date:** 1999-03-16  
**Inventor:** TAKIMOTO HISAICHI; MATSUMOTO TAKASHI; MATSUYAMA TOSHIYUKI  
**Applicant:** FUJITSU LTD;; FUJITSU VLSI LTD  
**Classification:**  
 - International: H02M3/155; H01L27/04; H01L21/822  
 - european:  
**Application number:** JP19970234718 19970829  
**Priority number(s):**

Report a data error here

## Abstract of JP11075365

**PROBLEM TO BE SOLVED:** To provide the control circuit of a DC-DC converter which can practice soft start securely and can supply a stable output voltage.

**SOLUTION:** A short-circuit transistor 31 is connected between the output terminal of an error amplification circuit 15 and a ground GND. The short-circuit transistor 31 is kept in an ON-state until a release signal SG3 of an L-level is outputted from an initial malfunctioning preventive circuit 12, i.e., until a triangular wave oscillation circuit 13 is made to start an oscillation operation, to keep the error output signal SG6 of the error amplification circuit 15 at 0 volt. A PWM comparison circuit 17 generates a duty ratio control signal SG7 in accordance with the triangular wave signal SG3 of the triangular wave oscillation circuit 13 which starts the oscillation operation normally and the error output signal SG6 which is obtained by amplifying a differential voltage between a charging voltage  $V_{sof}$  and an output voltage  $V_{out}$  which are compared with each other by the error amplification circuit 15 in a normal state.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-75365

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 2 M 3/155

H 0 2 M 3/155

B

H 0 1 L 27/04

H 0 1 L 27/04

B

21/822

審査請求 未請求 請求項の数19 O L (全 24 頁)

(21) 出願番号 特願平9-234718

(22) 出願日 平成9年(1997) 8月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 滝本 久市

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宜

最終頁に続く

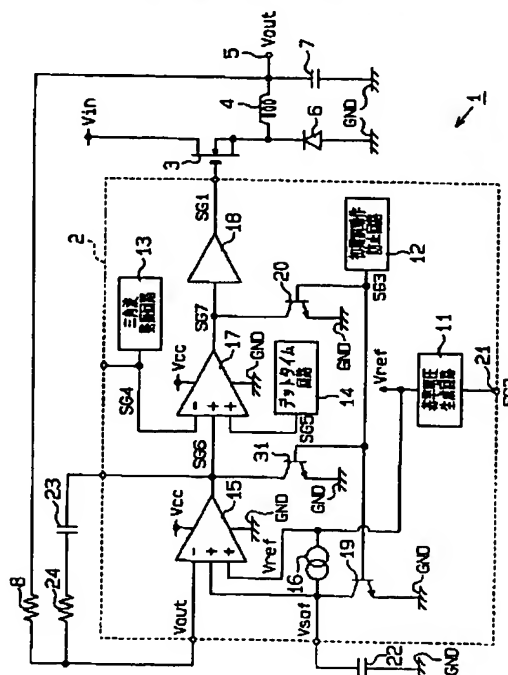
(54) 【発明の名称】 DC-DCコンバータの制御回路の駆動方法、DC-DCコンバータの制御回路、DC-DCコンバータ、及び、電子機器

(57) 【要約】

【課題】 ソフトスタートを確実に実行することができ、安定した出力電圧を供給することができるDC-DCコンバータの制御回路を提供すること。

【解決手段】 誤差増幅回路15の出力端子とグラウンドGNDとの間にショート用トランジスタ31を接続し、ショート用トランジスタ31を初期誤動作防止回路12からLレベルの解除信号SG3が出力されるまで、即ち、三角波発振回路13が発振動作を開始されるまでオン状態にして誤差増幅回路15の誤差出力信号SG6が0ボルトに保持する。PWM比較回路17は、正常に発振動作を開始した三角波発振回路13の三角波信号SG3と、誤差増幅回路15が正常な状態で充電電圧Vsofと出力電圧Voutを比較しその差電圧を増幅して得た誤差出力信号SG6とに基づいてデューティ制御信号SG7を生成する。

第1実施形態のDC-DCコンバータの電気回路図



(2)

1

## 【特許請求の範囲】

【請求項1】 規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路の駆動方法において、

前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するようにしたDC-DCコンバータの制御回路の駆動方法。

【請求項2】 請求項1に記載のDC-DCコンバータの制御回路の駆動方法において、

前記基準電圧は、前記被検出電圧を前記規定電圧値に制御するための第1基準電圧と、前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧とからなり、

前記誤差増幅回路の基準電圧入力端子は、前記第1基準電圧を入力する第1基準電圧入力端子と、前記第2基準電圧を入力する第2基準電圧入力端子とからなる。

【請求項3】 出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第1基準電圧を入力する第1基準電圧入力端子と、前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧を入力する第2基準電圧入力端子を備え、第2基準電圧が経時的に変化する間は第2基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第2基準電圧が経時的に変化しなくなった時は第1基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第1及び第2基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路の駆動方法において、

前記三角波発振回路が発振動作を開始するまでは、前記誤差増幅回路の第2基準電圧入力端子を接地するとともに、前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子を接地し、

三角波発振回路が発振動作を開始した後は、前記接地した第2基準電圧入力端子及び出力端子を接地から開放す

2

るようにしたDC-DCコンバータの制御回路の駆動方法。

【請求項4】 規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、

10 三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路において、

前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えたDC-DCコンバータの制御回路。

【請求項5】 請求項4に記載のDC-DCコンバータの制御回路において、

前記保持回路は、前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続され、前記三角波発振回路が発振動作を開始するまではオン状態となり、三角波発振回路が発振動作を開始した後はオフ状態となるショート用トランジスタと、

前記誤差増幅回路の基準電圧入力端子とグランドとの間に接続され、前記三角波発振回路が発振動作を開始するまではオン状態となり、三角波発振回路が発振動作を開始した後はオフ状態となるソフトスタート用トランジスタとを備えた。

【請求項6】 請求項5に記載のDC-DCコンバータの制御回路において、

前記保持回路回路は、前記三角波発振回路が発振動作を開始するまでは、前記ショート用及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後は、その両トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路を備えた。

【請求項7】 請求項5に記載のDC-DCコンバータの制御回路において、

前記制御回路は、前記PWM比較回路に出力される三角波信号を生成する三角波発振回路を備えた。

【請求項8】 請求項5に記載のDC-DCコンバータの制御回路において、

前記制御回路は、前記基準電圧を生成する基準電圧生成回路を備えた。

【請求項9】 出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第1基準電圧を入力する第1基準電圧入

50

(3)

3

力端子と、前記第 1 基準電圧に向かってその電圧値が経時的に変化する第 2 基準電圧を入力する第 2 基準電圧入力端子を備え、第 2 基準電圧が経時的に変化している間は第 2 基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第 2 基準電圧が第 2 基準電圧が経時的に変化しなくなった時は第 1 基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第 1 及び第 2 基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力する PWM 比較回路とを備えた DC-DC コンバータの制御回路において、

前記三角波信号を生成する三角波発振回路と、前記第 1 及び第 2 基準電圧を生成するするとともに、前記第 1 基準電圧を三角波発振回路、誤差増幅回路のバイアス電圧として両回路に供給する基準電圧生成回路と、前記誤差増幅回路及び PWM 比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続したショート用トランジスタと、

前記誤差増幅回路の第 2 基準電圧入力端子とグランドとの間に接続したソフトスタート用トランジスタと、前記基準電圧生成回路にて生成される第 1 基準電圧をバイアス電圧として入力し、前記三角波発振回路が発振動作を開始するまでは、前記ショート用及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後は、ショート及びソフトスタート用トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路とを備えた DC-DC コンバータの制御回路。

【請求項 10】 規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力する PWM 比較回路とを備えた DC-DC コンバータの制御回路において、

前記基準電圧を生成する基準電圧生成回路と、前記基準電圧生成回路の基準電圧をバイアス電圧として供給しその規定電圧値未満で発振動作し、その三角波信号を PWM 比較回路に出力する前記三角波発振回路と、前記基準電圧生成回路が生成する基準電圧が前記規定電圧値に到達したか否かを判定する基準電圧判定回路と、

4

前記基準電圧判定回路にて基準電圧が規定電圧値に対していないと判断されている間は、前記出力トランジスタをオフ状態にする停止回路とを備えた DC-DC コンバータの制御回路。

【請求項 11】 請求項 10 に記載の DC-DC コンバータの制御回路において、

前記停止回路は、前記誤差増幅回路の出力端子とグランドとの間に接続したショート用トランジスタを備えている。

10 【請求項 12】 請求項 10 に記載の DC-DC コンバータの制御回路において、

前記停止回路は、前記誤差増幅回路に駆動電源を供給を遮断するショート用トランジスタを備えている。

【請求項 13】 請求項 10 に記載の DC-DC コンバータの制御回路において、

前記基準電圧は、前記被検出電圧を前記規定電圧値に制御するための第 1 基準電圧と、前記第 1 基準電圧に向かってその電圧値が経時的に変化する第 2 基準電圧とからなり、

20 前記誤差増幅回路の基準電圧入力端子は、前記第 1 基準電圧を入力する第 1 基準電圧入力端子と、前記第 2 基準電圧を入力する第 2 基準電圧入力端子とからなる。

【請求項 14】 出力コイルとコンデンサからなる平滑回路と、

オン・オフ動作して前記平滑回路を介して出力端子に出力電圧を発生される出力トランジスタと、

前記出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第 1 基準電圧を入力する第 1 基準電圧入力端子と、

30 前記第 1 基準電圧に向かってその電圧値が経時的に変化する第 2 基準電圧を入力する第 2 基準電圧入力端子を備え、第 2 基準電圧が経時的に変化している間は第 2 基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第 2 基準電圧が第 2 基準電圧が経時的に変化しなくなった時は第 1 基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、

前記第 1 基準電圧を生成する第 1 基準電圧生成回路と、

40 前記第 1 基準電圧を入力し前記規定電圧値に向かってその電圧値が経時的に変化する第 2 基準電圧を生成する第 2 基準電圧生成回路と、

前記第 1 基準電圧生成回路の基準電圧をバイアス電圧として供給しその規定電圧値未満で発振動作して三角波信号を出力する三角波発振回路と、前記三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第 1 及び第 2 基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力する PWM 比較回路とからなる DC-DC コンバータにおいて、

50

(4)

5

前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えたDC-DCコンバータ。

【請求項15】 請求項14に記載のDC-DCコンバータにおいて、

前記保持回路は、

前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続したショート用トランジスタと、

前記誤差増幅回路の第2基準電圧入力端子とグランドとの間に接続したソフトスタート用トランジスタと、

前記第1基準電圧生成回路にて生成される第1基準電圧をバイアス電圧として入力し、前記三角波発振回路が発振動作を開始するまでは、前記ショート及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後は、ショート及びソフトスタート用トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路とを備えている。

【請求項16】 請求項14に記載のDC-DCコンバータにおいて、

前記保持回路は、

前記第1基準電圧生成回路が生成する第1基準電圧が前記規定電圧値に到達したか否かを判定する基準電圧判定回路と、

前記第1基準電圧判定回路にて第1基準電圧が規定電圧値に対していないと判断されている間は、前記出力トランジスタをオフ状態にする停止回路とを備えている。

【請求項17】 規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えた制御回路を複数個有したDC-DCコンバータにおいて、

前記各制御回路に対してそれぞれ対応する出力トランジスタを駆動制御させるための出力制御信号が全て出力されるまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えたDC-DCコンバータ。

【請求項18】 請求項17に記載のDC-DCコンバータの制御回路において、

前記保持回路は、

前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続されたショート用トランジスタと、

6

前記誤差増幅回路の基準電圧入力端子とグランドとの間に接続されソフトスタート用トランジスタと前記各制御回路の1つに設けられ、各制御回路に対する出力制御信号が全て出力されたか否かを判別し、その判別結果に基づいて前記ショート及びソフトスタート用トランジスタを制御する判別回路とを備えた。

【請求項19】 請求項14乃至18のいずれか1に記載のDC-DCコンバータを備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種電子機器に搭載された中央処理装置(CPU)、記憶装置(RAM、ROM等)の各種半導体集積回路装置(IC)に動作電源を供給するDC-DCコンバータの制御回路の駆動方法、DC-DCコンバータの制御回路、DC-DCコンバータ、及び、電子機器に関するものである。

【0002】電子機器には多数個の半導体集積回路装置(IC)が搭載されている。これら各半導体集積回路装置には個々に動作電源を必要としている。一般に動作電源はDC-DCコンバータにて生成される。そして、各半導体集積回路装置に動作電源を投入する際、安定した動作電源を供給するとともに各半導体集積回路装置間の電源投入シーケンスを精度よく行なわないと、各半導体集積回路装置との間で誤動作の原因となる。そこで、DC-DCコンバータによる各半導体集積回路装置への動作電源の投入については精度の高い電源投入が要求されている。

【0003】

【従来の技術】一般に各種電子機器の電源は、一般に商用電源を電源回路(AC-DCインバータ回路)にて変換された直流電源が使用されている。この変換された直流電源はDC-DCコンバータにて各半導体集積回路装置に応じた動作電源に変換される。このDC-DCコンバータにて生成された動作電源は、対応する各半導体集積回路装置に供給される。つまり、図10に示すように、電子機器100には中央処理装置(CPU)、チップセレクト、記憶装置(RAM、ROM等)の各半導体集積回路装置101、電源回路102及びDC-DCコンバータ1が搭載されている。そして、電源回路102は商用電源VAを各種の直流電源Vcc、Vinに変換する。DC-DCコンバータ1は、その変換した直流電源Vinを降圧して安定な動作電源(出力電圧Vout)にして各半導体集積回路装置101に供給する。

【0004】図8は一般的なDC-DCコンバータ1の電気回路を示す。DC-DCコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と複数個の外付け素子とから構成されている。制御回路2の出力信号SG1はエンハンスメント形NチャネルMOSトランジスタで構成される出力トランジスタ3のゲートに供給される。出力トランジスタ3のドレインは図10の

(5)

7

電源回路102から直流電源電圧 $V_{in}$ が供給される。出力トランジスタ3のソースは、出力コイル4を介して出力端子5に接続されている。その出力端子5は負荷としての各半導体集積回路装置101に接続されている。

【0005】前記出力トランジスタ3のソースは、ショットキーダイオードよりなるフライホイールダイオード6のカソードに接続されている。そのフライホイールダイオード6のアノードはグラウンドGNDに接続されている。前記出力コイル4と出力端子5との間は、コンデンサ7を介してグラウンドGNDに接続されている。そして、この出力コイル4とコンデンサ7とで平滑回路を構成している。又、前記出力コイル4と出力端子5との間は、抵抗8を介して制御回路2に接続され、その時の出力電圧 $V_{out}$ を制御回路2に出力する。

【0006】制御回路2は、基準電圧生成回路11、初期誤動作防止回路12、三角波発振回路13、デットタイム回路14、誤差増幅回路15、定電流回路16、PWM比較回路17、出力回路18、2個の第1及び第2トランジスタ19、20を備えている。

【0007】基準電圧生成回路11は、前記電源回路102から駆動電源電圧 $V_{cc}$ が供給されているとともに、外部コントロール入力端子21を介して図示しない外部装置からのコントロール信号SG2を入力する。基準電圧生成回路11は、バンドギャップリファレンス回路よりなり、コントロール信号SG2のLレベル（低電位）からHレベル（高電位）の立ち上がりに対応して駆動電源電圧 $V_{cc}$ に基づいて第1基準電圧としての基準電圧 $V_{ref}$ （ $<V_{cc}$ ）を生成する。図9に示すように、時間 $t_0$ にコントロール信号SG2がHレベルに立ち上がると、基準電圧 $V_{ref}$ は一定の傾きをもって上昇し時間 $t_2$ 後に規定電圧値 $V_{ref1}$ （ $<V_{cc}$ ）に到達し以後その規定電圧値 $V_{ref1}$ を維持する。

【0008】初期誤動作防止回路12は、前記電源回路102から駆動電源電圧 $V_{cc}$ が供給されるとともに、前記基準電圧生成回路11からの基準電圧 $V_{ref}$ をバイアス電圧として入力する。初期誤動作防止回路12は、図9に示すように前記規定電圧値 $V_{ref1}$ に向かって上昇する途中の基準電圧 $V_{ref}$ が所定の電圧値 $V_{ref2}$ にまで到達すると、即ち基準電圧 $V_{ref}$ が同防止回路12の動作可能なバイアス電圧（ $=V_{ref2}$ ）に到達する時間 $t_1$ になると、HレベルからLレベルに立ち下がる解除信号SG3を出力するように構成されている。

【0009】三角波発振回路13は、前記電源回路102から駆動電源電圧 $V_{cc}$ が供給されるとともに、前記基準電圧生成回路11からの基準電圧 $V_{ref}$ をバイアス電圧として入力する。三角波発振回路13は、基準電圧 $V_{ref}$ が所定の電圧値 $V_{ref3}$ （ $>V_{ref2}$ ）にまで上昇すると、即ち図9に示すように、基準電圧 $V_{ref}$ が同発振回路13の発振動作が可能なバイアス電

8

圧（ $=V_{ref3}$ ）に到達する前記時間 $t_1$ と時間 $t_2$ の間の時間に発振動作を開始し、一定の電圧値の範囲で振幅する三角波の三角波信号SG4を出力する。

【0010】デットタイム回路14は、複数個の抵抗を直列に接続した分圧回路にて構成されている。デットタイム回路14は、前記基準電圧生成回路11から基準電圧 $V_{ref}$ を入力し同基準電圧 $V_{ref}$ を分圧し、その分圧電圧を制限信号SG5として出力する。従って、図9に示すように、時間 $t_0$ にコントロール信号SG2がHレベルに立ち上がると、制限信号SG5は、基準電圧 $V_{ref}$ と同様に一定の傾きをもって上昇し時間 $t_2$ 後に定格電圧値 $V_k$ （ $<V_{ref1}$ ）に到達し以後その定格電圧値 $V_k$ を維持する。この制限信号SG5の定格電圧値 $V_k$ は、デットタイム回路14内の抵抗の分圧比を調整して前記三角波信号SG4の最大値より若干低い値になるように設定されている。詳述すると、三角波信号SG4と制限信号SG5とがPWM比較回路17にて比較されるとき、前記出力信号SG1のパルス信号のデューティ比が90%となる値に定格電圧 $V_k$ は設定されている。

【0011】誤差増幅回路15は被検出電圧入力端子としての反転入力端子と第1及び第2基準電圧入力端子としての第1及び第2非反転入力端子を備えている。誤差増幅回路15の反転入力端子は、前記抵抗8を介して前記出力電圧 $V_{out}$ を入力する。誤差増幅回路15は前記電源回路102から駆動電源電圧 $V_{cc}$ が供給されている。誤差増幅回路15は前記基準電圧生成回路11からの基準電圧 $V_{ref}$ をバイアス電圧として入力する。

【0012】誤差増幅回路15の第1非反転入力端子は前記基準電圧生成回路11からの基準電圧 $V_{ref}$ を入力する。誤差増幅回路15の第2非反転入力端子は外付けのソフトスタート用のコンデンサ22を介してグラウンドGNDに接続されている。又、コンデンサ22は前記基準電圧生成回路11から印加された基準電圧 $V_{ref}$ に基づいて動作する定電流回路16からの定電流が供給される。そして、このコンデンサ61は、定電流回路16からの定電流を充電し、その充電電圧 $V_{sof}$ は上昇し基準電圧 $V_{ref}$ まで到達する。つまりこの充電電圧 $V_{sof}$ は前記第1基準電圧としての基準電圧 $V_{ref}$ に対して第2基準電圧をなし、基準電圧生成回路11、コンデンサ22等で該充電電圧 $V_{sof}$ を生成する。

【0013】又、第2非反転入力端子はソフトスタート用トランジスタとしての第1トランジスタ19のコレクタに接続され、その第1トランジスタ19のエミッタはグラウンドGNDに接続されている。第1トランジスタ19のベースは前記初期誤動作防止回路12の解除信号SG3を入力する。従って、時間 $t_1$ に解除信号SG3がHレベルからLレベルに立ち下がり第1トランジスタ19はオンからオフになると、コンデンサ22は定電流回路16の定電流による充電を開始する。その結果、充電



(6)

9

電圧  $V_{sof}$  は図9に示すように時間  $t_1$  から上昇を開始する。

【0014】又、誤差増幅回路15の出力端子と反転入力端子との間には、外付けのコンデンサ23及び抵抗24の直列回路が接続され同誤差増幅回路15の発振を防止している。

【0015】誤差増幅回路15は、第1非反転入力端子に入力される基準電圧  $V_{ref}$  と第2非反転入力端子に入力される充電電圧  $V_{sof}$  の小さい方と、反転入力端子に入力される前記出力端子5の出力電圧  $V_{out}$  とを比較する。そして、誤差増幅回路15はその比較する両電圧の差電圧を増幅した誤差出力信号SG6を次段のPWM比較回路17に出力する。

【0016】又、誤差増幅回路15は、図9に示すように前記規定電圧値  $V_{ref1}$  に向かって上昇する途中の基準電圧  $V_{ref}$  が所定の電圧値に到達するまで、即ち基準電圧  $V_{ref}$  が初期誤差防止回路12がLレベルの解除信号SG3を出力する時間  $t_1$  になるまで、比較増幅動作を行わず基準電圧  $V_{ref}$  に従った出力電圧SG6を出力する。つまり、誤差増幅回路15は、第1及び第2非反転入力端子の少なくともいずれか一方が0ボルト近傍において論理反転してしまうため、バイアス電圧、即ち基準電圧  $V_{ref}$  となる誤差出力信号SG6を出力するようになっている。

【0017】そして、時間  $t_1$  後は、誤差増幅回路15は反転入力端子に入力される出力電圧  $V_{out}$  と第1非反転入力端子に入力される基準電圧  $V_{ref}$  又は第2非反転入力端子に入力される充電電圧  $V_{sof}$  の小さい方の電圧との比較動作を行い、その差電圧を増幅する動作に移るようになっている。

【0018】PWM比較回路17は前記電源回路102から駆動電源電圧  $V_{cc}$  が供給されている。PWM比較回路17は、反転入力端子と第1及び第2非反転入力端子を備えている。PWM比較回路17の反転入力端子は、前記三角波発振回路13からの三角波信号SG4を入力する。PWM比較回路17の第1非反転入力端子は、前記誤差増幅回路15からの誤差出力信号SG6を入力する。PWM比較回路17の第2非反転入力端子は、前記デットタイム回路14から制限信号SG5を入力する。

【0019】PWM比較回路17は、第1非反転入力端子に入力される誤差出力信号SG6と第2非反転入力端子に入力される制限信号SG5の小さい方と、反転入力端子に入力される前記三角波発振回路13の三角波信号SG4とを比較する。そして、PWM比較回路17はその比較において三角波信号SG4の方が大きいときにはLレベル、その比較において同じ又は三角波信号SG4の方が小さいときにはHレベルとなるパルス信号をデューティ制御信号SG7として出力回路18に出力する。

10

【0020】PWM比較回路17の出力端子は、第2トランジスタ20のコレクタに接続され、その第2トランジスタ20のエミッタはグランドGNDに接続されている。第2トランジスタ20のベースは前記初期誤動作防止回路12の解除信号SG3を入力する。従って、時間  $t_1$  に解除信号SG3がHレベルからLレベルに立ち下がり第2トランジスタ20はオンからオフになると、デューティ制御信号SG7は次段の出力回路18に供給される。出力回路18は前記電源回路102から駆動電源電圧  $V_{cc}$  が供給されている。出力回路18はデューティ制御信号SG7を前記出力信号SG1として前記出力トランジスタ3のゲートに供給される。

【0021】このように構成されたDC-DCコンバータ1は、図10の電源回路102から駆動電源電圧  $V_{cc}$  が制御回路2内の各回路11~13, 15, 17, 18に供給された状態で、基準電圧生成回路11に外部装置からLレベルのコントロール信号SG2が供給されているとき動作を停止している。

【0022】つまり、基準電圧生成回路11の基準電圧  $V_{ref}$  は0ボルトである。従って、誤差増幅回路15の第1非反転入力端子には0ボルトの基準電圧  $V_{ref}$  が供給されている。初期誤動作防止回路12は0ボルトの基準電圧  $V_{ref}$  が供給されている。従って、解除信号SG3はHレベルとなっていて、第1及び第2トランジスタ19, 20はオン状態にある。その結果、誤差増幅回路15の第1非反転入力端子は0ボルトである。又、第2トランジスタ20もオン状態にあるため、出力信号SG1はLレベルとなる。従って、出力トランジスタ3はオフ状態にあり、出力電圧  $V_{out}$  は0ボルトとなっている。

【0023】そして、時間  $t_0$  に外部装置からHレベルのコントロール信号SG2が基準電圧生成回路11に供給されると、DC-DCコンバータ1は動作を開始する。Hレベルのコントロール信号SG2に応答して基準電圧生成回路11は駆動電源電圧  $V_{cc}$  に基づいて基準電圧  $V_{ref}$  を生成する。このとき、図9に示すように、基準電圧  $V_{ref}$  は一定の傾きをもって規定電圧値  $V_{ref1}$  まで上昇していく。徐々に上昇していく基準電圧  $V_{ref}$  は、初期誤動作防止回路12、三角波発振回路13、デットタイム回路14、誤差増幅回路15の第1非反転入力端子、及び、定電流回路16に供給される。

【0024】このとき、上昇する基準電圧  $V_{ref}$  は誤差増幅回路15の第1非反転入力端子に供給されるが、誤差増幅回路15の第2非反転入力端子に入力される充電電圧  $V_{sof}$  は0ボルトである。従って、誤差増幅回路15の誤差出力信号SG6は上昇する基準電圧  $V_{ref}$  の同じ電圧値で上昇していく。又、デットタイム回路14は上昇する基準電圧  $V_{ref}$  に相対した制限信号SG5をPWM比較回路17に供給している。

(7)

11

【0025】従って、PWM比較回路17は、デットタイム回路14の制限信号SG5が三角波発振回路13の三角波信号SG4と比較される。この時、三角波発振回路13はまだ発振を開始しておらず、三角波信号SG4は0ボルトである。その結果、PWM比較回路17はHレベルのデューティ制御信号SG7を出力する。しかし、第2トランジスタ20がオン状態にあるので、Hレベルのデューティ制御信号SG7は消失しLレベルとなる。従って、出力回路18の出力信号SG1は依然Lレベルを維持することから出力トランジスタ3はオフのままである。

【0026】やがて、時間 $t_1$ になると、初期誤動作防止回路12にからLレベルの解除信号SG3が第1及び第2トランジスタ19、20のベースに出力されて両トランジスタ19、20はオフ状態になる。第1トランジスタ19がオフ状態になると、コンデンサ22は充電を開始しその充電電圧 $V_{sof}$ を誤差増幅回路15の第2非反転入力端子に供給する。この充電電圧 $V_{sof}$ は基準電圧 $V_{ref}$ より低い値なので、誤差増幅回路15はその時の出力電圧 $V_{out}$ と充電電圧 $V_{sof}$ と比較しその差電圧を増幅しその増幅した誤差出力信号SG6をPWM比較回路17に出力する。時間 $t_1$ 直後では、出力電圧 $V_{out}$ は0ボルトで充電電圧 $V_{sof}$ は0ボルトより少し高い電圧なので、その充電電圧 $V_{sof}$ に対する出力電圧 $V_{out}$ の差電圧は小さいので、誤差増幅回路15の誤差出力信号SG6は低下していく。又、時間 $t_1$ では、三角波発振回路13はまだ発振を開始していない。

【0027】従って、PWM比較回路14は、誤差増幅回路15の誤差出力信号SG6がデットタイム回路14の制限信号SG5より小さくなるまで、その制限信号SG5と三角波信号SG4と比較する。そして、PWM比較回路14は、誤差増幅回路15の誤差出力信号SG6が制限信号SG5より小さくなると、その誤差出力信号SG6と三角波信号SG4と比較する。しかし、三角波発振回路13はまだ発振を開始しておらず、三角波信号SG4は0ボルトである。その結果、PWM比較回路17はHレベルのデューティ制御信号SG7を出力する。

【0028】この時、第2トランジスタ20はオフ状態にあるので、Hレベルのデューティ制御信号SG7は出力回路18に出力される。従って、出力回路18の出力信号SG1はHレベルとなり、出力トランジスタ3はオンする。その結果、電源電圧 $V_{in}$ が出力コイル4を介して出力端子5に供給され、出力電圧 $V_{out}$ は0ボルトから電源電圧 $V_{in}$ に向かって上昇する。その上昇する出力電圧 $V_{out}$ は誤差増幅回路15に供給される。

【0029】やがて、三角波発振回路13が発振して三角波信号SG4を出力しその三角波信号SG4が誤差出力信号SG6より大きくなると、PWM比較回路17のデューティ制御信号SG7はLレベルとなる。出力回路

12

18の出力信号SG1はLレベルとなり、出力トランジスタ3はオフする。その結果、電源電圧 $V_{in}$ の供給が遮断されコンデンサ7の電荷の放電が行なわれ出力電圧 $V_{out}$ は低下していく。

【0030】誤差増幅回路15は、この低下していく出力電圧 $V_{out}$ と充電電圧 $V_{sof}$ を比較して誤差出力信号SG6をPWM比較回路17に出力する。低下していく出力電圧 $V_{out}$ は充電電圧 $V_{sof}$ より大きいため、誤差増幅回路15の誤差出力信号SG6は三角波信号SG4より小さい。従って、PWM比較回路17のデューティ制御信号SG7はLレベルを維持する。即ち、出力トランジスタ3はオフのままで、出力電圧 $V_{out}$ は低下し続ける。

【0031】やがて、出力電圧 $V_{out}$ が充電電圧 $V_{sof}$ より小さくなると、誤差増幅回路15の誤差出力信号SG6の電圧値は上昇する。そして、上昇する誤差出力信号SG6が三角波信号SG4の振幅範囲に到達する。誤差出力信号SG6が三角波信号SG4の振幅範囲内に到達すると、PWM比較回路17は誤差出力信号SG6が三角波信号SG4より大きいときHレベル、誤差出力信号SG6が三角波信号SG4より小さいときLレベルとなるデューティ制御信号SG7を出力する。

【0032】以後、DC-DCコンバータ1は、出力電圧 $V_{out}$ をその上昇していく充電電圧 $V_{sof}$ になるように制御していく。そして、充電電圧 $V_{sof}$ が規定電圧値 $V_{ref1}$ に到達すると、DC-DCコンバータ1は出力電圧 $V_{out}$ を基準電圧 $V_{ref}$ 、即ち規定電圧値 $V_{ref1}$ を維持するように制御する。

【0033】つまり、定常状態では、DC-DCコンバータ1は、誤差増幅回路15は基準電圧 $V_{ref}$ （規定電圧値 $V_{ref1}$ ）と出力電圧 $V_{out}$ と比較し誤差出力信号SG6をPWM比較回路17に出力する。PWM比較回路17はその誤差出力信号SG6と三角波信号SG4とを比較してデューティ制御信号SG7を生成して出力トランジスタ3をデューティ制御する。従って、出力電圧 $V_{out}$ が規定電圧値 $V_{ref1}$ （基準電圧 $V_{ref}$ ）に保持されるように制御される。

【0034】又、電源投入時（Hレベルのコントロール信号SG2の入力時）においては、DC-DCコンバータ1は出力電圧 $V_{out}$ を基準電圧 $V_{ref}$ の規定電圧値 $V_{ref1}$ まで一挙に上昇させないで徐々に上昇させていくソフトスタートを行う。即ち、DC-DCコンバータ1は第1トランジスタ19、コンデンサ22、誤差増幅回路15及び定電源回路16とで構成されるソフトスタート回路にて出力電圧 $V_{out}$ を充電電圧 $V_{sof}$ の上昇に従って基準電圧 $V_{ref}$ まで上昇させるようにしている。このソフトスタートによって、一挙に出力電圧 $V_{out}$ を基準電圧 $V_{ref}$ の規定電圧値 $V_{ref1}$ まで上昇させる場合に生ずる出力トランジスタ3のオン状態を続けることが防止されるため、同トランジスタ3



(8)

13

の劣化は未然に防止される。

#### 【0035】

【発明が解決しようとする課題】しかしながら、上記DC-DCコンバータのソフトスタート時において、初期誤動作防止回路12からLレベルの解除信号SG3が出力された時、充電電圧V<sub>sof</sub>に関係なく、デューティ制御信号SG7は直ちにHレベルとなる。そして、出力トランジスタ3を直ちにオン状態にする。つまり、ソフトスタート機能が一時的に働かない。これは、三角波発振回路13が解除信号SG3がLレベルになっても、発振しないからである。

【0036】従って、ソフトスタートの機能が働く前に出力トランジスタ3が一時的にオン状態となることから、出力トランジスタ3に過電流が流れ同トランジスタ3を劣化させるといった問題があった。

【0037】しかも、この急激な出力トランジスタ3のオンにより、出力電圧V<sub>out</sub>は急激に立ち上がる不安定なものとなる。この不安定な出力電圧V<sub>out</sub>は各半導体集積回路装置に動作電源として供給され、各半導体集積回路装置との間で誤動作の原因となる。特に、各半導体集積回路装置101との間で動作電源投入に基づく投入タイミングが一定のタイミング（シーケンス）が要求されている場合には問題となる。

【0038】又、PWM比較回路17は、不定入力によりHレベルのデューティ制御信号SG7を出力する場合があり、この場合においても同様な問題があった。本発明の第1の目的は、ソフトスタートを確実に実行することができ、安定した出力電圧を供給することができるDC-DCコンバータの制御回路の駆動方法、DC-DCコンバータの制御回路、DC-DCコンバータ、及び、そのDC-DCコンバータを備えた電子機器を提供することにある。

【0039】本発明の第2の目的は、複数の半導体集積回路装置に対して安定した動作電源の投入タイミングを制御し投入タイミングのずれによる各半導体集積回路装置との間で誤動作を防止することができるDC-DCコンバータ及びそのDC-DCコンバータを備えた電子機器を提供することにある。

#### 【0040】

【課題を解決するための手段】請求項1に記載の発明は、規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジ

14

スタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路の駆動方法において、前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するようにした。

【0041】請求項2に記載の発明は、請求項1に記載のDC-DCコンバータの制御回路の駆動方法において、前記基準電圧は前記被検出電圧を前記規定電圧値に制御するための第1基準電圧と前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧とからなり、前記誤差増幅回路の基準電圧入力端子は前記第1基準電圧を入力する第1基準電圧入力端子と、前記第2基準電圧を入力する第2基準電圧入力端子とからなる。

【0042】請求項3に記載の発明は、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第1基準電圧を入力する第1基準電圧入力端子と、前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧を入力する第2基準電圧入力端子を備え、第2基準電圧が経時的に変化する間は第2基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第2基準電圧が経時的に変化しなくなった時は第1基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第1及び第2基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路の駆動方法において、前記三角波発振回路が発振動作を開始するまでは、前記誤差増幅回路の第2基準電圧入力端子を接地するとともに前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子を接地し、三角波発振回路が発振動作を開始した後は、前記接地した第2基準電圧入力端子及び出力端子を接地から開放するようにした。請求項4に記載の発明は、規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路において、前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えた。

15

【0043】請求項5に記載の発明は、請求項4に記載のDC-DCコンバータの制御回路において、前記保持回路は、前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグラウンドとの間に接続され前記三角波発振回路が発振動作を開始するまではオン状態となり三角波発振回路が発振動作を開始した後はオフ状態となるショート用トランジスタと、前記誤差増幅回路の基準電圧入力端子とグラウンドとの間に接続され前記三角波発振回路が発振動作を開始するまではオン状態となり三角波発振回路が発振動作を開始した後はオフ状態となるソフトスタート用トランジスタとを備えている。

【0044】請求項6に記載の発明は、請求項5に記載のDC-DCコンバータの制御回路において、前記保持回路は前記三角波発振回路が発振動作を開始するまでは前記ショート用及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後はその両トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路を備えている。

【0045】請求項7に記載の発明は、請求項5に記載のDC-DCコンバータの制御回路において、前記制御回路は前記PWM比較回路に出力される三角波信号を生成する三角波発振回路を備えた。

【0046】請求項8に記載の発明は、請求項5に記載のDC-DCコンバータの制御回路において、前記制御回路は前記基準電圧を生成する基準電圧生成回路を備えた。請求項9に記載の発明は、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第1基準電圧を入力する第1基準電圧入力端子と、前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧を入力する第2基準電圧入力端子を備え、第2基準電圧が経時的に変化している間は第2基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第2基準電圧が第2基準電圧が経時的に変化しなくなった時は第1基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大きさを比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第1及び第2基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路において、前記三角波信号を生成する三角波発振回路と、前記第1及び第2基準電圧を生成するするとともに、前記第1基準電圧を三角波発振回路、誤差増幅回路のバイアス電圧として両回路に供給する基準電圧生成回路と、前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグラウンドとの間に接続したショート用トランジスタと、前記誤差増幅回路の第2

(9)

16

基準電圧入力端子とグラウンドとの間に接続したソフトスタート用トランジスタと、前記基準電圧生成回路にて生成される第1基準電圧をバイアス電圧として入力し、前記三角波発振回路が発振動作を開始するまでは、前記ショート用及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後は、ショート用及びソフトスタート用トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路とを備えた。

10 【0047】請求項10に記載の発明は、規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大きさを比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えたDC-DCコンバータの制御回路において、前記基準電圧を生成する基準電圧生成回路と、前記基準電圧生成回路の基準電圧をバイアス電圧として供給しその規定電圧値未満で発振動作し、その三角波信号をPWM比較回路に出力する前記三角波発振回路と、前記基準電圧生成回路が生成する基準電圧が前記規定電圧値に到達したか否かを判定する基準電圧判定回路と、前記基準電圧判定回路にて基準電圧が規定電圧値に対していないと判断されている間は、前記出力トランジスタをオフ状態にする停止回路とを備えた。

【0048】請求項11に記載の発明は、請求項10に記載のDC-DCコンバータの制御回路において、前記停止回路は前記誤差増幅回路の出力端子とグラウンドとの間に接続したショート用トランジスタを備えている。

【0049】請求項12に記載の発明は、請求項10に記載のDC-DCコンバータの制御回路において、前記停止回路は前記誤差増幅回路に駆動電源を供給を遮断するショート用トランジスタを備えている。

40 【0050】請求項13に記載の発明は、請求項10に記載のDC-DCコンバータの制御回路において、前記基準電圧は前記被検出電圧を前記規定電圧値に制御するための第1基準電圧と前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧とからなり、前記誤差増幅回路の基準電圧入力端子は前記第1基準電圧を入力する第1基準電圧入力端子と、前記第2基準電圧を入力する第2基準電圧入力端子とからなる。

50 【0051】請求項14に記載の発明は、出力コイルとコンデンサからなる平滑回路と、オン・オフ動作して前記平滑回路を介して出力端子に出力電圧を発生される出力トランジスタと、前記出力トランジスタのオン・オフ

(10)

17

動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子と、前記被検出電圧を規定電圧値に制御するための第1基準電圧を入力する第1基準電圧入力端子と、前記第1基準電圧に向かってその電圧値が経時的に変化する第2基準電圧を入力する第2基準電圧入力端子を備え、第2基準電圧が経時的に変化している間は第2基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力し、第2基準電圧が第2基準電圧が経時的に変化しなくなった時は第1基準電圧と出力電圧とを比較しその差電圧を増幅し誤差出力信号として出力する誤差増幅回路と、前記第1基準電圧を生成する第1基準電圧生成回路と、前記第1基準電圧を入力し前記規定電圧値に向かってその電圧値が経時的に変化する第2基準電圧を生成する第2基準電圧生成回路と、前記第1基準電圧生成回路の基準電圧をバイアス電圧として供給しその規定電圧値未満で発振動作して三角波信号を出力する三角波発振回路と、前記三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記第1及び第2基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とからなるDC-DCコンバータにおいて、前記三角波発振回路が発振動作を開始するまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えた。

【0052】請求項15に記載の発明は、請求項14に記載のDC-DCコンバータにおいて、前記保持回路は前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続したショート用トランジスタと、前記誤差増幅回路の第2基準電圧入力端子とグランドとの間に接続したソフトスタート用トランジスタと、前記第1基準電圧生成回路にて生成される第1基準電圧をバイアス電圧として入力し、前記三角波発振回路が発振動作を開始するまでは、前記ショート及びソフトスタート用トランジスタをオン状態にし、三角波発振回路が発振動作を開始した後は、ショート及びソフトスタート用トランジスタをオフ状態にする解除信号を生成する初期誤動作防止回路とを備えている。

【0053】請求項16に記載の発明は、請求項14に記載のDC-DCコンバータにおいて、前記保持回路は前記第1基準電圧生成回路が生成する第1基準電圧が前記規定電圧値に到達したか否かを判定する基準電圧判定回路と、前記第1基準電圧判定回路にて第1基準電圧が規定電圧値に対していないと判断されている間は、前記出力トランジスタをオフ状態にする停止回路とを備えている。

【0054】請求項17に記載の発明は、規定電圧値に向かって経時的に変化した後にその規定電圧値を維持する基準電圧を入力する基準電圧入力端子と、出力トランジスタのオン・オフ動作に基づいて生成される出力電圧を被検出電圧として入力する被検出電圧入力端子とを備

18

え、前記基準電圧と被検出電圧を比較しその差電圧を増幅して誤差出力信号として出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と前記誤差出力信号との大小を比較し、前記出力トランジスタをオン・オフさせて前記被検出電圧を前記基準電圧に近づけるための制御信号を生成し該出力トランジスタに出力するPWM比較回路とを備えた制御回路を複数個有したDC-DCコンバータにおいて、前記各制御回路に対してそれぞれ対応する出力トランジスタを駆動制御させるための出力制御信号が全て出力されるまで、前記出力トランジスタをオフ状態に保持するための保持回路を備えた。

【0055】請求項18に記載の発明は、請求項17に記載のDC-DCコンバータの制御回路において、前記保持回路は前記誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子とグランドとの間に接続されたショート用トランジスタと、前記誤差増幅回路の基準電圧入力端子とグランドとの間に接続されソフトスタート用トランジスタと、前記各制御回路の1つに設けられ、各制御回路に対する出力制御信号が全て出力されたか否かを判別し、その判別結果に基づいて前記ショート及びソフトスタート用トランジスタを制御する判別回路とを備えた。

【0056】請求項19に記載の発明は、請求項14乃至18のいずれか1に記載のDC-DCコンバータを備えた電子機器である。

(作用) 請求項1の発明によれば、出力トランジスタは三角波発振回路が発振動作を開始するまでオフ状態に保持され誤差増幅回路及びPWM比較回路による制御が停止される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0057】請求項2の発明によれば、請求項1の発明の作用に加え、誤差増幅回路は、第2基準電圧と被検出電圧とを比較してソフトスタートを行うための誤差出力信号を、第1基準電圧と被検出電圧とを比較して被検出電圧を規定電圧値になるための誤差出力信号を出力する。

【0058】請求項3の発明によれば、誤差増幅回路の第2基準電圧入力端子は、三角波発振回路が発振動作を開始するまで接地されることから、ソフトスタートは三角波発振回路が発振動作を開始した後から行われる。同様に、誤差増幅回路及びPWM比較回路の少なくともいずれか一方の出力端子は三角波発振回路が発振動作を開始するまで接地されることから、誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0059】請求項4の発明によれば、保持回路は三角波発振回路が発振動作を開始するまで出力トランジスタ

(11)

19

をオフ状態に保持することから誤差増幅回路及びPWM比較回路による出力トランジスタの制御が停止される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0060】請求項5の発明によれば、ソフトスタート用トランジスタは三角波発振回路が発振動作を開始するまでオン状態なることから、ソフトスタートは三角波発振回路が発振動作を開始した後から行われる。同様に、ショート用トランジスタは三角波発振回路が発振動作を開始するまではオン状態となって誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0061】請求項6の発明によれば、初期誤動作防止回路は解除信号に基づいてショート及びソフトスタート用トランジスタを制御する。従って、ソフトスタートは三角波発振回路が発振動作を開始した後から行われるとともに、三角波発振回路が発振動作を開始するまでは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。その結果、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0062】請求項7の発明によれば、制御回路の一部として三角波発振回路が形成されている。そして、請求項5の発明と同様にソフトスタートは三角波発振回路が発振動作を開始した後から行われるとともに、三角波発振回路が発振動作を開始するまでは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0063】請求項8の発明によれば、制御回路の一部として基準電圧生成回路が形成されている。そして、請求項5の発明と同様にソフトスタートは三角波発振回路が発振動作を開始した後から行われるとともに、三角波発振回路が発振動作を開始するまでは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0064】請求項9の発明によれば、初期誤動作防止回路は解除信号に基づいてショート及びソフトスタート用トランジスタを制御する。従って、ソフトスタートは三角波発振回路が発振動作を開始した後から行われるとともに、三角波発振回路が発振動作を開始するまでは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。その結果、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出

20

力電圧を供給することができる。

【0065】請求項10の発明によれば、基準電圧生成回路が生成する基準電圧が規定電圧値に到達していないと判定されている間は、停止回路にて出力トランジスタはオフ状態に制御されている。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0066】請求項11及び12の発明によれば、基準電圧生成回路が生成する基準電圧が規定電圧値に到達していないと判定されている間は、シュート用トランジスタにより誤差増幅回路の誤差出力信号が消失されて出力トランジスタはオフ状態に制御されている。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0067】請求項13の発明によれば、誤差増幅回路は第2基準電圧と被検出電圧とを比較してソフトスタートを行うための誤差出力信号を、第1基準電圧と被検出電圧とを比較して被検出電圧を規定電圧値になるための誤差出力信号を出力する。

【0068】請求項14の発明によれば、保持回路は三角波発振回路が発振動作を開始するまで出力トランジスタをオフ状態に保持することから誤差増幅回路及びPWM比較回路による出力トランジスタの制御が停止される。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0069】請求項15の発明によれば、初期誤動作防止回路は解除信号に基づいてショート及びソフトスタート用トランジスタを制御する。従って、ソフトスタートは三角波発振回路が発振動作を開始した後から行われるとともに、三角波発振回路が発振動作を開始するまでは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。その結果、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0070】請求項16の発明によれば、基準電圧生成回路が生成する第1基準電圧が規定電圧値に到達していないと判定されている間は、停止回路にて出力トランジスタはオフ状態に制御されている。従って、DC-DCコンバータはソフトスタートを確実に実行することができ、安定した出力電圧を供給することができる。

【0071】請求項17の発明によれば、各制御回路に対してそれぞれ対応する出力トランジスタを駆動制御させるための出力制御信号が全て出力されるまで、保持回路は出力トランジスタをオフ状態に保持することから、誤差増幅回路及びPWM比較回路による制御が停止される。従って、複数の半導体集積回路装置に対して安定した出力電圧の投入タイミングを制御でき投入タイミングのずれによる各半導体集積回路装置との間で誤動作を防

(12)

21

止することができる。

【0072】請求項18の発明によれば、判別回路は各制御回路に対する出力制御信号に基づいてショート及びソフトスタート用トランジスタを制御する。従って、ソフトスタートは全ての出力制御信号が出力された後から行われるとともに、出力制御信号が出力される前までは誤差増幅回路の誤差出力信号又はPWM比較回路の制御信号は消失される。従って、複数の半導体集積回路装置に対して安定した出力電圧の投入タイミングを制御でき投入タイミングのずれによる各半導体集積回路装置との間で誤動作を防止することができる。

【0073】請求項19の発明によれば、各半導体集積回路装置に対してDC-DCコンバータはC-DCコンバータからソフトスタートを確実に実行され安定した出力電圧を供給したり、各半導体集積回路装置に対して出力電圧を最適な投入タイミングで供給することができる。

【0074】

【発明の実施の形態】

(第1実施形態) 図1は本発明を具体化した第1実施形態のDC-DCコンバータを示す。本実施形態は、図8に示す前記従来例のDC-DCコンバータに応用した。従って、従来例と同一構成部分は、同一符号を付してその説明を省略する。

【0075】本実施形態の特徴は、図1に示すように、誤差増幅回路15の出力端子とグラウンドGNDとの間に、バイポーラトランジスタよりなるショート用トランジスタ31を新たに接続した。詳述すると、ショート用トランジスタ31のコレクタは誤差増幅回路15の出力端子に接続され、エミッタはグラウンドGNDに接続されている。ショート用トランジスタ31のベースは、前記初期誤動作防止回路12からの解除信号SG3を入力する。従って、ショート用トランジスタ31は解除信号SG3がHレベルの時にオンし、Lレベルの時にオフする。

【0076】また、本実施形態では、初期誤動作防止回路12の解除信号SG3がHレベルからLレベルに立ち下がるタイミングを従来に比べ遅らせている。即ち、三角波発振回路13が正常な発振動作を開始した後に解除信号SG3がHレベルからLレベルに立ち下がるように、初期誤動作防止回路12内にて調整している。

【0077】初期誤動作防止回路12は、基準電圧Vrefをバイアス電圧として入力し前記規定電圧値Vref1に向かって上昇する途中の基準電圧Vrefが所定の電圧値Vref2に到達した時、同防止回路12の動作可能なバイアス電圧に到達したとしてHレベルからLレベルに立ち下がる解除信号SG3を出力するようになっている。そして、本実施形態では、初期誤動作防止回路12に供給する基準電圧Vrefを同防止回路12内に設けた分圧回路にて分圧し、その分圧電圧をバイアス

22

電圧とする。そして、その分圧電圧が同防止回路12の動作可能なバイアス電圧(=Vref2)に到達した時、HレベルからLレベルに立ち下がる解除信号SG3を生成している。つまり、基準電圧Vrefを分圧した分だけ防止回路12の動作可能なバイアス電圧に到達するのに要する時間を長くして解除信号SG3がHレベルからLレベルに立ち下がるタイミングを従来に比べ遅らせている。

【0078】本実施形態では、分圧電圧が初期誤動作防止回路12の動作可能なバイアス電圧(=Vref2)となる時における基準電圧Vref(=Vref2a)は、前記三角波発振回路13が発振動作をする電圧値Vref3よりも高くなるようにしている。従って、三角波発振回路13が発振動作を開始した後に、解除信号SG3はHレベルからLレベルに立ち下がる。

【0079】そして、本実施形態では、ショート用トランジスタ31と初期誤動作防止回路12とで保持回路を構成している。次に、上記のように構成したDC-DCコンバータ1の作用について説明する。

【0080】今、駆動電源電圧Vccが制御回路2内の各回路11~13, 15, 17, 18に供給された状態で、基準電圧生成回路11に外部装置からLレベルのコントロール信号SG2がLレベルの時、DC-DCコンバータ1は動作を停止している。

【0081】従って、基準電圧生成回路11の基準電圧Vrefは0ボルトである。その結果、誤差増幅回路15、PWM比較回路17及び出力回路18は動作を停止している。又、三角波発振回路13及びデットタイム回路14も動作を停止している。

【0082】さらに、初期誤動作防止回路12は0ボルトの基準電圧Vrefが供給されている。従って、解除信号SG3はHレベルとなっていて、第1, 第2トランジスタ19, 20及びショート用トランジスタ31はオン状態にある。その結果、誤差増幅回路15の誤差出力信号SG6及びコンデンサ22の充電電圧Vsofは0ボルトである。又、PWM比較回路17のデューティ制御信号SG7も0ボルト、即ちLレベルである。さらに、出力回路18の出力信号SG1もLレベルとなる。従って、出力トランジスタ3はオフ状態にあり、出力電圧Voutは0ボルトとなっている。

【0083】図2の時間t0に外部装置からHレベルのコントロール信号SG2が基準電圧生成回路11に供給されると、DC-DCコンバータ1は動作を開始する。Hレベルのコントロール信号SG2に応答して基準電圧生成回路11は駆動電源電圧Vccに基づいて基準電圧Vrefを生成する。このとき、図2に示すように、基準電圧Vrefは一定の傾きをもって規定電圧値Vref1まで上昇していく。徐々に上昇していく基準電圧Vrefは、初期誤動作防止回路12、三角波発振回路13、デットタイム回路14、誤差増幅回路15の第1非



(13)

23

反転入力端子、及び、定電流回路16に供給される。この時、初期誤動作防止回路12は、バイアス電圧が動作可能な電圧に到達していないので、解除信号SG3はHレベルのままである。

【0084】又、上昇する基準電圧V<sub>ref</sub>に基づいて誤差増幅回路15、PWM比較回路17及び出力回路18は動作可能な状態に移る。この時、誤差増幅回路15の第2非反転入力端子に供給される充電電圧V<sub>sof</sub>は0ボルトであるため、誤差増幅回路15の誤差出力信号SG6は、上昇する基準電圧V<sub>ref</sub>の同じ電圧値で上昇しようとするが、ショート用トランジスタ31がオン状態にあるため0ボルトに保持されている。又、デットタイム回路14は上昇する基準電圧V<sub>ref</sub>に相対した制限信号SG5をPWM比較回路17の供給される。

【0085】従って、PWM比較回路17は、0ボルトに保持された誤差出力信号SG6が三角波発振回路13の三角波信号SG4と比較される。この時、三角波発振回路13はまだ発振を開始しておらず、三角波信号SG4は0ボルトである。その結果、PWM比較回路17はLレベルのデューティ制御信号SG7を出力する。しかも、第2トランジスタ20がオン状態にあるので、デューティ制御信号SG7は確実にLレベルに保持される。従って、出力回路18の出力信号SG1は依然Lレベルを維持することから出力トランジスタ3はオフのままである。

【0086】やがて、三角波発振回路13が発振を開始し三角波信号SG4をPWM比較回路17に出力する。つまり、前記制限信号SG5のレベルに対して三角波信号SG4のレベルが交差するようになる。しかし、ショート用トランジスタ31がいまだにオン状態にあるため誤差出力信号SG6は0ボルトに保持されている。従って、PWM比較回路17は、いまだLレベルとなるデューティ制御信号SG7を出力する。

【0087】やがて時間t<sub>1a</sub>になると、初期誤動作防止回路12の解除信号SG3がLレベルに立ち下がる。第1、第2トランジスタ19、20及びショート用トランジスタ31はオフ状態になる。コンデンサ22は充電を開始しその充電電圧V<sub>sof</sub>を誤差増幅回路15の第2非反転入力端子に供給する。この充電電圧V<sub>sof</sub>は基準電圧V<sub>ref</sub>より低い値なので、誤差増幅回路15はその時の出力電圧V<sub>out</sub>と充電電圧V<sub>sof</sub>と比較しその差電圧を増幅しその増幅した差電圧を誤差出力信号SG6としてPWM比較回路17に出力する。時間t<sub>1a</sub>後は、充電電圧V<sub>sof</sub>が徐々に上昇していくため、出力電圧V<sub>out</sub>をこれに追従させるために誤差増幅回路15の出力電圧SG6は、前記三角波信号SG4の振幅範囲内に入るレベルまで上昇していく。

【0088】従って、出力電圧SG6が三角波信号SG4の振幅範囲内に入り最初に交差するまでは、PWM比較回路17のデューティ制御信号SG7はLレベルであ

24

る。従って、出力トランジスタ3はオフ状態のままである。

【0089】やがて、誤差出力信号SG6が三角波信号SG4の振幅範囲内に到達すると、PWM比較回路17は誤差出力信号SG6が三角波信号SG4より大きいときHレベル、誤差出力信号SG6が三角波信号SG4より小さいときLレベルとなるデューティ制御信号SG7を出力する。

【0090】以後、DC-DCコンバータ1は、ソフトスタート、即ち出力電圧V<sub>out</sub>をその上昇していく充電電圧V<sub>sof</sub>になるように制御していく。そして、充電電圧V<sub>sof</sub>が規定電圧値V<sub>ref1</sub>に到達すると、DC-DCコンバータ1は出力電圧V<sub>out</sub>を基準電圧V<sub>ref</sub>、即ち規定電圧値V<sub>ref1</sub>を維持するように制御する。

【0091】次に、上記のように構成した第1実施形態のDC-DCコンバータの特徴を以下に述べる。

(1) 本実施形態では、誤差増幅回路15の出力端子とグラウンドGNDとの間にショート用トランジスタ31を接続した。そして、ショート用トランジスタ31を前記初期誤動作防止回路12からLレベルの解除信号SG3が出力されるまで、即ち、三角波発振回路13が発振動作を開始されるまでオン状態にして誤差増幅回路15の誤差出力信号SG6が0ボルトに保持されるようにした。

【0092】つまり、ソフトスタート時において、PWM比較回路17は、正常に発振動作を開始した三角波発振回路13の三角波信号SG3と誤差増幅回路15の誤差出力信号SG6（正常な状態で充電電圧V<sub>sof</sub>と出力電圧V<sub>out</sub>が比較されその差電圧を増幅して得た誤差出力信号SG6）とに基づいてデューティ制御信号SG7を生成することができる。その結果、従来のように、三角波発振回路13が発振動作を行う前に、初期誤動作防止回路12の解除信号SG3をLレベルにして、PWM比較回路17の比較結果に基づいて出力トランジスタ3をオンさせて一時的に過電流を出力トランジスタ3に流すことはない。従って、出力トランジスタ3を劣化させることはない。

【0093】(2) 本実施形態では、従来のように初期誤動作防止回路12の解除信号SG3がLレベルとなると直ちに、その時の充電出力電圧V<sub>out</sub>と出力電圧V<sub>out</sub>に基づく電圧制御、即ちソフトスタートが実行される。従って、安定した出力電圧V<sub>out</sub>が各半導体集積回路装置に動作電源として供給されることから、動作電源投入に基づく各半導体集積回路装置との間で誤動作は低減される。

【0094】(3) 又、本実施形態では、誤差増幅回路15の誤差出力信号SG6はショート用トランジスタ31にて0ボルトに保持するようにしたので、従来のように、PWM比較回路17に不定入力が入力されて、Hレ



(14)

25

ベルのデューティ制御信号SG7を出力するといった問題は解消される。

【0095】尚、本実施形態では、誤差増幅回路15の出力端子とグラウンドGNDとの間にショート用トランジスタ31を接続したが、このショート用トランジスタ31を設けず、三角波発振回路13が発振動作を開始する第1実施形態の初期誤動作防止回路12の解除信号SG3を第1及び第2トランジスタ19、20に出力するようにして実施してもよい。この場合、Lレベルの解除信号SG3が出力されるまで誤差増幅回路15は、基準電圧Vrefに相当する誤差出力信号SG6を出力するが、第1及び第2トランジスタ20が三角波発振回路13が発振動作を開始するまでオンしない。従って、第1及び第2トランジスタ20がオンした時、すでに三角波信号SG4はほぼ正常な値で振幅しているため、誤差増幅回路15の誤差出力信号SG6は非常に短い時間で三角波信号SG3の振幅範囲内に到達するため、従来の比べて出力トランジスタ3がオンし続けることはなく短時間でソフトスタートを実行することができる。

【0096】（第2実施形態）図3は本発明を具体化した第2実施形態のDC-DCコンバータを示す。本実施形態は、図8に示す前記従来例のDC-DCコンバータに応用した。従って、従来例と同一構成部分は、同一符号を付してその説明を省略する。

【0097】本実施形態の特徴は、図3に示すように、誤差増幅回路15の出力端子とグラウンドGNDとの間に、停止回路を構成するバイポーラトランジスタよりなるショート用トランジスタ41を接続した。詳述すると、ショート用トランジスタ41のコレクタは誤差増幅回路15の出力端子に接続され、エミッタはグラウンドGNDに接続されている。ショート用トランジスタ41のベースは、基準電圧判定回路42からの第2解除信号SG3aを入力する。又、前記第1トランジスタ19のベースは前記初期誤動作防止回路12からの解除信号SG3に代えてこの第2解除信号SG3aが供給されるようになっている。従って、ショート用トランジスタ41及び第1トランジスタ19は第2解除信号SG3aがHレベルの時にオンし、Lレベルの時にオフする。

【0098】基準電圧判定回路42はコンパレータにて構成され、前記電源回路102からの駆動電圧Vccが供給されている。基準電圧判定回路42は前記基準電圧生成回路11が生成する基準電圧Vrefが前記規定電圧値Vref1に到達したとき、HレベルからLレベルの第2解除信号SG3aを出力する。即ち、基準電圧判定回路42は、前記三角波発振回路13が発振動作を開始した後に、HレベルからLレベルの第2解除信号SG3aを出力する。詳述すると、三角波発振回路13は前記したように、基準電圧Vrefをバイアス電圧として入力し、該基準電圧Vrefが前記規定電圧値Vref1に到達する前であって図8に示す従来の前記初期誤動

26

作防止回路12がLレベルの解除信号SG3を出力した後に発振動作を開始するようになっているからである。従って、ショート用トランジスタ41及び第1トランジスタ19は基準電圧Vrefが前記規定電圧値Vref1に到達する前（三角波発振回路13が発振動作を開始する前）はオンとなり、基準電圧Vrefが前記規定電圧値Vref1に到達すると（三角波発振回路が発振動作を開始した後）オフとなる。

【0099】又、第2トランジスタ20は図8に示す従来の前記初期誤動作防止回路12からの解除信号SG3を入力する。従って、この第2実施形態では初期誤動作防止回路12の解除信号SG3がHレベルからLレベルに立ち下がるタイミングは第1実施形態に比べ速くなる。即ち、三角波発振回路13が正常な発振動作を開始する前に解除信号SG3がHレベルからLレベルに立ち下がる。

【0100】次に、上記のように構成したDC-DCコンバータ1の作用について説明する。今、駆動電源電圧Vccが制御回路2内の各回路11～13、15、17、1842に供給された状態で、基準電圧生成回路11に外部装置からLレベルのコントロール信号SG2がLレベルの時、DC-DCコンバータ1は動作を停止している。従って、基準電圧生成回路11の基準電圧Vrefは0ボルトである。その結果、誤差増幅回路15、PWM比較回路17及び出力回路18は動作を停止している。又、三角波発振回路13及びデットタイム回路14も動作を停止している。

【0101】さらに、初期誤動作防止回路12及び電圧判定回路42は0ボルトの基準電圧Vrefが供給されている。従って、解除信号SG3及び第2解除信号SG3aはHレベルとなっていて、第1、第2トランジスタ19、20及びショート用トランジスタ41はオン状態にある。その結果、誤差増幅回路15の誤差出力信号SG6及びコンデンサ22の充電電圧Vsofは0ボルトである。又、PWM比較回路17のデューティ制御信号SG7も0ボルト、即ちLレベルである。さらに、出力回路18の出力信号SG1もLレベルとなる。従って、出力トランジスタ3はオフ状態にあり、出力電圧Voutは0ボルトとなっている。

【0102】図4の時間t0に外部装置からHレベルのコントロール信号SG2が基準電圧生成回路11に供給されると、DC-DCコンバータ1は動作を開始する。Hレベルのコントロール信号SG2に応答して基準電圧生成回路11は駆動電源電圧Vccに基づいて基準電圧Vrefを生成する。このとき、図4に示すように、基準電圧Vrefは一定の傾きをもって規定電圧値Vref1まで上昇していく。徐々に上昇していく基準電圧Vrefは、初期誤動作防止回路12、三角波発振回路13、デットタイム回路14、誤差増幅回路15の第1非反転入力端子、定電流回路16、基準電圧判定回路42

(15)

27

に供給される。この時、初期誤動作防止回路12は、バイアス電圧が動作可能な電圧に到達していないので、解除信号SG3はHレベルのままである。

【0103】又、上昇する基準電圧Vrefに基づいて誤差増幅回路15、PWM比較回路17及び出力回路18は動作可能な状態に移る。この時、誤差増幅回路15の第2非反転入力端子に供給される充電電圧Vsofは0ボルトであるため、誤差増幅回路15の誤差出力信号SG6は、上昇する基準電圧Vrefの同じ電圧値で上昇しようとするが、ショート用トランジスタ41がオン状態にあるため0ボルトに保持されている。又、デットタイム回路14は上昇する基準電圧Vrefに相対した制限信号SG5をPWM比較回路17の供給される。

【0104】従って、PWM比較回路17は、0ボルトに保持された誤差出力信号SG6が三角波発振回路13の三角波信号SG4と比較される。この時、三角波発振回路13はまだ発振を開始しておらず、三角波信号SG4は0ボルトである。その結果、PWM比較回路17はLレベルのデューティ制御信号SG7を出力する。しかも、第2トランジスタ20がオン状態にあるので、デューティ制御信号SG7は確実にLレベルに保持される。従って、出力回路18の出力信号SG1は依然Lレベルを維持することから出力トランジスタ3はオフのままである。

【0105】やがて、基準電圧Vrefが初期誤動作防止回路12の動作を可能にするバイアス電圧まで到達すると、初期誤動作防止回路12はLレベルの解除信号SG3を出力する。このLレベルの解除信号SG3に応答して第2トランジスタ20はオンする。この時、PWM比較回路17は、まだ三角波発振回路13が発振動作を開始していないことと、誤差出力信号SG6が0ボルトに保持されていることにより、Lレベルのデューティ制御信号SG7を出力している。

【0106】やがて、三角波発振回路13が発振を開始し三角波信号SG4をPWM比較回路17に出力する。つまり、前記制限信号SG5のレベルに対して三角波信号SG4のレベルが交差ようになる。しかし、ショート用トランジスタ41がいまだにオン状態にあるため誤差出力信号SG6は0ボルトに保持されている。従って、PWM比較回路17は、いまだLレベルとなるデューティ制御信号SG7を出力する。

【0107】やがて、時間t2において、基準電圧Vrefが規定電圧値Vref1に到達する時間t2になると、基準電圧判定回路42は第2解除信号SG3をLレベルに立ち下げる。第1トランジスタ19及びショート用トランジスタ41はオフ状態になる。コンデンサ22は充電を開始しその充電電圧Vsofを誤差増幅回路15の第2非反転入力端子に供給する。この充電電圧Vsofは基準電圧Vrefより低い値なので、誤差増幅回路15はその時の出力電圧Voutと充電電圧Vsof

28

と比較しその差電圧を増幅しその増幅した差電圧を誤差出力信号SG6としてPWM比較回路17に出力する。時間t2後は、充電電圧Vsofが徐々に上昇していくため、出力電圧Voutをこれに追従させるために誤差増幅回路15の誤差出力信号SG6は、前記三角波信号SG4の振幅範囲内に入るレベルまで上昇していく。

【0108】従って、出力電圧SG6が三角波信号SG4の振幅範囲内に入り最初に交差するまでは、PWM比較回路17のデューティ制御信号SG7はレベルである。従って、出力トランジスタ3はオフ状態のままである。

【0109】やがて、誤差出力信号SG6が三角波信号SG4の振幅範囲内に到達すると、PWM比較回路17は誤差出力信号SG6が三角波信号SG4より大きいときHレベル、誤差出力信号SG6が三角波信号SG4より小さいときLレベルとなるデューティ制御信号SG7を出力する。

【0110】以後、DC-DCコンバータ1は、出力電圧Voutをその上昇していく充電電圧Vsofになるように制御していく。そして、充電電圧Vsofが規定電圧値Vref1に到達すると、DC-DCコンバータ1は出力電圧Voutを基準電圧Vref、即ち規定電圧値Vref1を維持するように制御する。

【0111】次に、上記のように構成した第2実施形態のDC-DCコンバータの特徴を以下に述べる。

(1) 本実施形態では、誤差増幅回路15の出力端子とグランドGNDとの間にショート用トランジスタ41を接続した。又、基準電圧生成回路11が生成する基準電圧Vrefが規定電圧Vref1となった否かを判定する基準電圧判定回路42を設けた。そして、ショート用トランジスタ41を基準電圧判定回路42からLレベルの第2解除信号SG3が出力されるまで、即ち、三角波発振回路13が発振動作を開始されるまでオン状態にして誤差増幅回路15の誤差出力信号SG6が0ボルトに保持されるようにした。

【0112】つまり、ソフトスタート時において、PWM比較回路17は、正常に発振動作を開始した三角波発振回路13の三角波信号SG3と、誤差増幅回路15の誤差出力信号SG6（正常な状態で充電電圧Vsofと出力電圧Voutが比較されその差電圧を増幅して得た誤差出力信号SG6）とに基づいてデューティ制御信号SG7を生成することができる。その結果、従来のように、三角波発振回路13が発振動作を行う前に、PWM比較回路17の比較結果に基づいて出力トランジスタ3をオンさせて一時的に過電流を出力トランジスタ3に流すことはない。従って、出力トランジスタ3を劣化させることはない。

【0113】(2) 本実施形態では、基準電圧判定回路42の第2解除信号SG3aがLレベルとなると直ちに、その時の充電出力電圧Voutと出力電圧Vout

(16)

29

に基づく電圧制御、即ちソフトスタートが実行される。従って、安定した出力電圧 $V_{out}$ が各半導体集積回路装置に動作電源として供給されることから、動作電源投入に基づく各半導体集積回路装置との間で誤動作は低減される。

【0114】(3)又、本実施形態では、誤差増幅回路15の誤差出力信号SG6はショート用トランジスタ41にて0ボルトに保持するようにしたので、従来のように、PWM比較回路17に不定入力が入力されて、Hレベルのデューティ制御信号SG7を出力するといった問題は解消される。

【0115】尚、本実施形態では、誤差増幅回路15の出力端子とグラウンドGNDとの間にショート用トランジスタ41を接続したが、これを省略して図5に示すように実施してもよい。即ち、図5において、誤差増幅回路15は駆動トランジスタ44を介して駆動電源電圧 $V_{cc}$ が供給されるようにする。そして、該駆動トランジスタ44には前記基準電圧 $V_{ref}$ が供給されるようにする。又、駆動トランジスタ44のベースとグラウンドGNDとの間には停止回路を構成するショート用トランジスタ45が接続されている。このショート用トランジスタ45のベースは前記基準電圧判定回路42の第2解除信号SG3aが入力されるようになっている。

【0116】従って、基準電圧判定回路42の第2解除信号SG3aがLレベルに立ち下がるまで、即ち三角波発振回路13が発振動作が開始されるまでは、誤差増幅回路15には駆動電源電圧 $V_{cc}$ が印加されないことになる。従って、この場合においても、上記第2実施形態と同様な作用効果を得ることができる。

(第3実施形態)図6は本発明を具体化した第3実施形態のDC-DCコンバータ1を示す。本実施形態のDC-DCコンバータ1は、2個の第1、第2DC-DCコンバータ部1A、1Bからなる。

【0117】第1DC-DCコンバータ部1Aは、前記図1に示す第1実施形態のDC-DCコンバータ1の制御回路2を變形させて構成している。第1DC-DCコンバータ部1Aの制御回路2Aは、初期誤動作防止回路12を備えておらず、その代わりに解除信号SG3を入力する外部入力端子51を備えている。そして、その解除信号SG3は第2トランジスタ20のベースのみに供給されるようになっている。

【0118】又、制御回路2Aは、前記基準電圧生成回路11が生成する基準電圧 $V_{ref}$ を第2DC-DCコンバータ部1Bに出力する外部出力端子52と、三角波発振回路13が生成する三角波信号SG4を第2DC-DCコンバータ部1Bに出力する外部出力端子53と、デットタイム回路14が生成した制限信号SG5を第2DC-DCコンバータ部1Bに出力する外部出力端子54を備えている。

【0119】さらに、制御回路2Aは、出力制御回路5

30

5が設けられている。出力制御回路55は、外部出力制御入力端子56を介して図示しない外部装置からの第1出力制御信号SG11を入力する。外部装置は、該DC-DCコンバータ部1Aを起動したい場合にHレベルの第1出力制御信号SG11を出力する。制御回路2Aは、この第1出力制御信号SG11を第1内部出力制御信号SG11aとして外部出力端子57に出力するようになっている。第1内部出力制御信号SG11aは第2DC-DCコンバータ部1Bに出力される。

【0120】さらに、制御回路2Aは第2DC-DCコンバータ部1Bから出力される第3解除信号SG3bを外入端子58から入力し、該第3解除信号SG3bを第1トランジスタ19及びショート用トランジスタ31のベースに供給するようになっている。

【0121】一方、第2DC-DCコンバータ部1Bは、同様に、前記図1に示す第1実施形態のDC-DCコンバータ1の制御回路2を變形させて構成している。第2DC-DCコンバータ部1Bの制御回路2Bは、基準信号生成回路11、三角波発振回路13及びデットタイム回路14を備えておらず、その代わりに前記第1DC-DCコンバータ部1Aから基準電圧 $V_{ref}$ 、三角波信号SG4及び制限信号SG5をそれぞれ入力する外部入力端子61、62、63を備えている。

【0122】制御回路2Bに形成された初期誤動作防止回路12は、その解除信号SG3を第1DC-DCコンバータ部1Aに出力するための外部出力端子64を備えている。又、この解除信号SG3は同制御回路2Bにおいては第2トランジスタ20のベースのみに供給されるようになっている。

【0123】さらに、制御回路2Bは、出力制御回路65が設けられている。出力制御回路65は、外部出力制御入力端子66を介して図示しない外部装置からの第2出力制御信号SG12を入力する。外部装置は、該第2DC-DCコンバータ部1Bを起動したい場合にHレベルの第2出力制御信号SG12を出力する。制御回路2Bは、この第2出力制御信号SG12を第2内部出力制御信号SG12aとしてナンド回路68に出力するようになっている。

【0124】判別回路を構成するナンド回路68は2入力端子のナンド回路であって、一方の入力端子は第2内部出力制御信号SG12aを入力し、他方の入力端子は制御回路2Bに備えた外部入力端子69を介して第1DC-DCコンバータ部1Aの制御回路2Aから前記第1内部出力制御信号SG11aを入力する。従って、ナンド回路68の出力信号は、第1内部出力制御信号SG11aと第2内部出力制御信号SG12aが共にHレベルの時に、Lレベルとなり、それ以外のときはHレベルとなる。このナンド回路58の出力信号は、第3解除信号SG3bとして同制御回路2Bの第1トランジスタ19及びショート用トランジスタ31のベースに供給され

(17)

31

る。又、この第3解除信号SG3bは、制御回路2Bに備えた外部出力端子70を介して第1DC-DCコンバータ部1Aの制御回路2Aに出力される。

【0125】そして、本実施形態では、各制御回路2A、2Bに設けられた第1トランジスタ19及びショート用トランジスタ31と制御回路2Bに設けられたナンド回路68とで保持回路を構成している。

【0126】次に、上記のように構成したDC-DCコンバータ1の作用について説明する。図7に示すように、今、時間t0に、第1DC-DCコンバータ部1Aの制御回路2Aの基準電圧生成回路11に対して外部装置からHレベルのコントロール信号SG2が供給されると、基準電圧生成回路11は基準電圧Vrefの生成を開始して同制御回路2A内の各回路に供給する。同様に、生成される基準電圧Vrefは、第2DC-DCコンバータ部1Bの制御回路2Bの各回路に供給される。その結果、第1、第2DC-DCコンバータ部1A、1Bは動作を開始する。

【0127】この時、初期誤動作防止回路12は、バイアス電圧が動作可能な電圧に到達していないので、解除信号SG3はHレベルのままである。又、第1、第2DC-DCコンバータ部1A、1Bには外部装置からのHレベルの第1、第2出力制御信号SG11、SG12が入力されていない。従って、第3解除信号SG3bはHレベルのままである。

【0128】そして、第2出力制御信号SG12より先に第1DC-DCコンバータ部1AにHレベルの出力制御信号SG11が入力されると、ナンド回路68は第2出力制御信号SG12がHレベルでないことにより、第3解除信号SG3bをHレベルのままにする。従って、第1、第2DC-DCコンバータ部1A、1Bの各第1トランジスタ19及びショート用トランジスタ31は共にオン状態にある。

【0129】やがて、基準電圧Vrefが初期誤動作防止回路12の動作を可能にするバイアス電圧まで到達すると、初期誤動作防止回路12はLレベルの解除信号SG3を出力する。このLレベルの解除信号SG3にตอบสนองして第2トランジスタ20はオンする。この時、PWM比較回路17は、まだ三角波発振回路13が発振動作を開始していないことと、誤差出力信号SG6が0ボルトに保持されていることにより、Lレベルのデューティ制御信号SG7を出力している。

【0130】やがて、三角波発振回路13が発振を開始し三角波信号SG4をPWM比較回路17に出力する。つまり、前記制限信号SG5のレベルに対して三角波信号SG4のレベルが交差するようになる。しかし、ショート用トランジスタ31がいまだにオン状態にあるため誤差出力信号SG6は0ボルトに保持されている。従って、PWM比較回路17は、いまだLレベルとなるデューティ制御信号SG7を出力する。

32

【0131】やがて、図7の時間t3において、第2DC-DCコンバータ部1BにHレベルの出力制御信号SG12が入力されると、ナンド回路68は第3解除信号SG3bをHレベルからLレベルにする。従って、第1、第2DC-DCコンバータ部1A、1Bの各第1トランジスタ19及びショート用トランジスタ31は共にオフ状態となる。

【0132】その結果、第1、第2DC-DCコンバータ部1A、1Bの各ソフトスタート用のコンデンサ22は充電を開始しその充電電圧Vsofを誤差増幅回路15の第2非反転入力端子に供給する。この充電電圧Vsofは基準電圧Vrefより低い値なので、誤差増幅回路15はその時の出力電圧Voutと充電電圧Vsofと比較しその差電圧を増幅しその増幅した差電圧を誤差出力信号SG6としてPWM比較回路17に出力する。時間t3後は、充電電圧Vsofが徐々に上昇していくため、出力電圧Voutをこれに追従させるために誤差増幅回路15の誤差出力信号SG6は、前記三角波信号SG4の振幅範囲内に入るレベルまで上昇していく。

【0133】従って、誤差出力電圧SG6が三角波信号SG4の振幅範囲内に入り最初に交差するまでは、PWM比較回路17のデューティ制御信号SG7はレベルである。従って、出力トランジスタ3はオフ状態のままである。

【0134】やがて、誤差出力信号SG6が三角波信号SG4の振幅範囲内に到達すると、PWM比較回路17は誤差出力信号SG6が三角波信号SG4より大きいときHレベル、誤差出力信号SG6が三角波信号SG4より小さいときLレベルとなるデューティ制御信号SG7を出力する。

【0135】以後、第1、第2DC-DCコンバータ部1A、1Bは、出力電圧Voutをその上昇していく充電電圧Vsofになるように制御していく。そして、充電電圧Vsofが規定電圧値Vref1に到達すると、第1、第2DC-DCコンバータ部1A、1Bは、それぞれ各出力電圧Voutを基準電圧Vref、即ち規定電圧値Vref1を維持するように制御し対応する各半導体集積回路装置101に供給する。

【0136】次に、上記のように構成した第3実施形態のDC-DCコンバータ1の特徴を以下に述べる。

(1) 本実施形態では、第2DC-DCコンバータ部1Bの制御回路2Bにナンド回路68を設けた。そして、ナンド回路68は第1、第2DC-DCコンバータ部1A、1Bに対してそれぞれ出力される第1、第2出力制御信号SG11、SG12（内部出力制御信号SG11a、SG12a）に基づいて、第1、第2DC-DCコンバータ部1A、1Bの各ショート用トランジスタ31を同時にオン状態にした。

【0137】つまり、第1、第2DC-DCコンバータ部1A、1Bは、同時にソフトスタートを開始しなが

50

(18)

33

ら、それぞれが生成した出力電圧 $V_{out}$ をそれぞれ対応する各半導体集積回路装置101に同じタイミングで供給することができる。

【0138】従って、安定した出力電圧 $V_{out}$ が各半導体集積回路装置に動作電源として同時に供給されることから、動作電源投入のタイミングのずれに基づく各半導体集積回路装置との間で誤動作は解消されることになる。特に、第1、第2出力制御信号SG11、SG12が同一であって、配線容量等によって一方のDC-DCコンバータ部に遅延して入力されてしまう場合には特に有効となる。

【0139】(2)本実施形態においても、従来のように、三角波発振回路13が発振動作を行う前に、PWM比較回路17の比較結果に基づいて出力トランジスタ3をオンさせていないので、一時的に過電流を出力トランジスタ3に流すことはない。従って、出力トランジスタ3を劣化させることはない。

【0140】(3)本実施形態においても、第3解除信号SG3bがLレベルとなると直ちに、その時の充電出力電圧 $V_{out}$ と出力電圧 $V_{out}$ に基づく電圧制御、即ちソフトスタートが実行される。従って、安定した出力電圧 $V_{out}$ が各半導体集積回路装置に動作電源として供給されることから、動作電源投入に基づく各半導体集積回路装置との間で誤動作は低減される。

【0141】(4)又、本実施形態においても、誤差増幅回路15の誤差出力信号SG6はショート用トランジスタ31にて0ボルトに保持するようにしたので、PWM比較回路17に不定入力が入力されて、Hレベルのデューティ制御信号SG7を出力するといった問題は解消される。

【0142】尚、発明の実施の形態は上記各実施形態に限定されるものではなく、以下のように実施してもよい。

○上記各実施形態では、誤差増幅回路15は、第1非反転入力端子に基準電圧生成回路11からの基準電圧 $V_{ref}$ を入力し、第2非反転入力端子に規定電圧値 $V_{ref1}$ まで上昇する充電電圧 $V_{sof}$ を入力するようにした。これを第1非反転入力端子を省略して実施してもよい。即ち、誤差増幅回路15は、基準電圧 $V_{ref}$ の規定電圧値 $V_{ref1}$ まで上昇する充電電圧 $V_{sof}$ を入力する入力端子と、出力電圧 $V_{out}$ を入力する入力端子からなり、充電電圧 $V_{sof}$ と出力電圧 $V_{out}$ の差電圧を増幅し誤差出力信号SG6を出力するものである。

【0143】○上記各実施形態では、誤差増幅回路15の反転入力端子には出力電圧 $V_{out}$ を直接入力したが、分圧回路にて分圧した電圧を入力してもよい。この場合、出力電圧 $V_{out}$ の制御値をその分圧回路の分圧比によって適宜変更することができる。

【0144】○上記各実施形態では、出力トランジスタ

34

3をNチャネルMOSトランジスタにて実施したが、PチャネルMOSトランジスタで実施してもよい。この場合、例えば出力回路18において、デューティ制御信号SG7を反転させた出力信号SG1を生成する必要がある。又、出力トランジスタ3をバイポーラトランジスタで構成してもよい。

【0145】○上記各実施形態では、出力回路18を設けたが、これを省略してもよい。

○各実施形態に示した出力回路18の出力端子とグランドGNDの間にショート用のトランジスタを接続してそのトランジスタのベースに解除信号SG3、第2解除信号SG3a又は第3解除信号SG3bを入力するようにして実施してもよい。この場合においても、上記各実施形態と同様な効果を奏する。尚、請求項に記載されたPWM比較回路の出力端子とグランドの間に接続されたショート用トランジスタは、この出力回路18の出力端子とグランドGNDの間にショート用のトランジスタを含む上位概念である。

【0146】○前記第1実施形態において、初期誤動作防止回路12に代えて第2実施形態で示した基準電圧判定回路42を用いて第1、第2トランジスタ19、20及びショート用トランジスタ31を制御するようにしてもよい。

【0147】○前記第2実施形態及び第2実施形態の変形例において、基準電圧判定回路42に代えて第1実施形態で示した初期誤動作防止回路12を用いて第1トランジスタ19及び、ショート用トランジスタ41、45を制御するようにしてもよい。

【0148】○前記三角波発振回路13の三角波発振信号SG4の波形を鋸波状の三角波信号で実施してもよい。

○各実施形態に示したバイポーラの各トランジスタ19、20、31、41、44、45をMOSトランジスタに代えて実施してもよい。

【0149】○上記各実施形態では1チップの半導体集積回路装置上に形成した制御回路2は、基準電圧生成回路11、初期誤動作防止回路12、三角波発振回路13、デットタイム回路14、誤差増幅回路15、定電流回路16、PWM比較回路17、出力回路18、2個の第1及び第2トランジスタ19、20及び、ショート用トランジスタ31、41等であったが、例えば、三角波発振回路13を別の半導体集積回路装置に形成したりする等、適宜複数の半導体集積回路装置上に形成し、それを電気的に接続して制御回路2を形成してもよい。

【0150】

【発明の効果】請求項1～16に記載の発明によれば、DC-DCコンバータにおけるソフトスタートを確実に実行することができるとともに安定した出力電圧を供給することができ、各半導体集積回路装置との間で誤動作を防止することができる。

(19)

35

【0151】請求項17及び18に記載の発明によれば、複数の半導体集積回路装置に対して安定した出力電圧の投入タイミングを制御でき、投入タイミングのずれによる各半導体集積回路装置との間で誤動作を防止することができる。

【0152】請求項19の発明によれば、各半導体集積回路装置に対してDC-DCコンバータはソフトスタートが確実に実行され安定した出力電圧を供給したり、各半導体集積回路装置に対して出力電圧を最適な投入タイミングで供給することができる。

【図面の簡単な説明】

【図1】第1実施形態のDC-DCコンバータの電気回路図

【図2】同じくDC-DCコンバータの動作を説明するための波形図

【図3】第2実施形態のDC-DCコンバータの電気回路図

【図4】同じくDC-DCコンバータの動作を説明するための波形図

【図5】第2実施形態の変形例を示すDC-DCコンバータの電気回路図

【図6】第3実施形態のDC-DCコンバータの電気回路図

【図7】同じくDC-DCコンバータの動作を説明するための波形図

【図8】従来のDC-DCコンバータの電気回路図

【図9】従来のDC-DCコンバータの動作を説明するための波形図

【図10】電子機器の動作電源供給システムを説明する

36

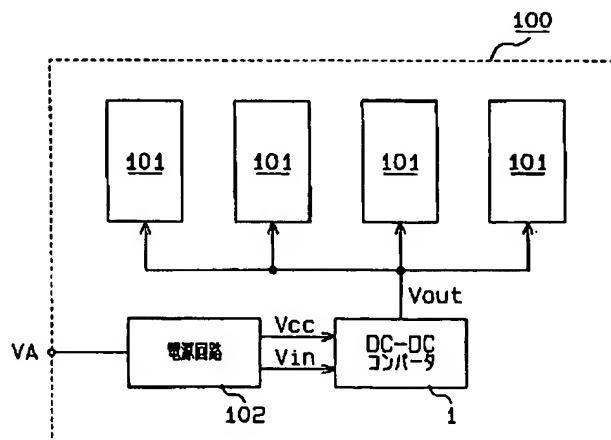
ためのブロック図

【符号の説明】

- 1 DC-DCコンバータ
- 2, 2A, 2B 制御回路
- 3 出力トランジスタ
- 4 出力コイル
- 7, 22 コンデンサ
- 11 基準電圧生成回路、
- 12 初期誤動作防止回路
- 10 13 三角波発振回路
- 15 誤差増幅回路
- 16 定電流回路
- 17 PWM比較回路
- 19, 20 第1, 第2トランジスタ
- 22 コンデンサ
- 31, 41, 45 ショート用トランジスタ
- 100 電子機器
- 101 半導体集積回路装置
- SG2 コントロール信号
- SG3 解除信号
- SG4 三角波信号
- SG6 誤差出力信号
- SG7 デューティ制御信号
- Vout 出力電圧
- Vref 基準電圧
- Vref1 規定電圧値
- Vsof 充電電圧

【図10】

電子機器の動作電源供給システムを説明するためのブロック図

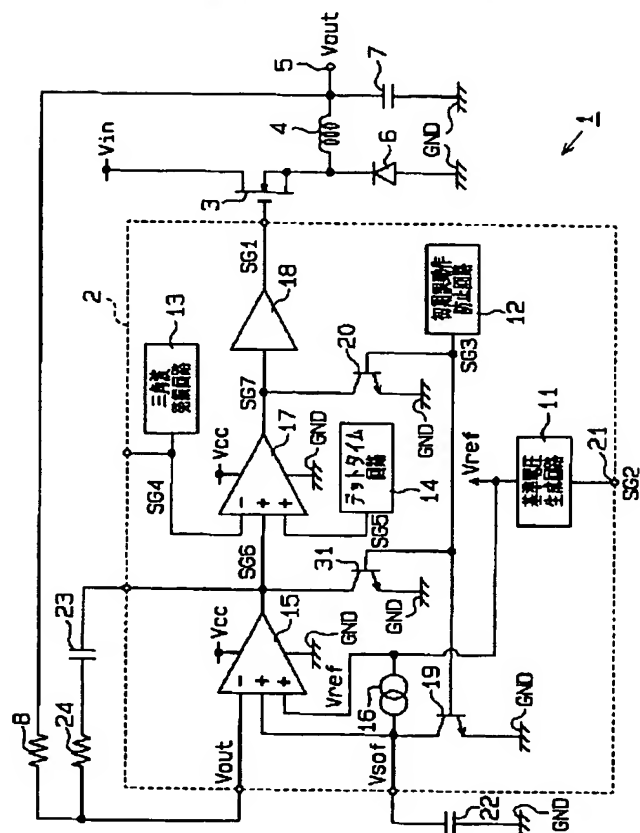




(20)

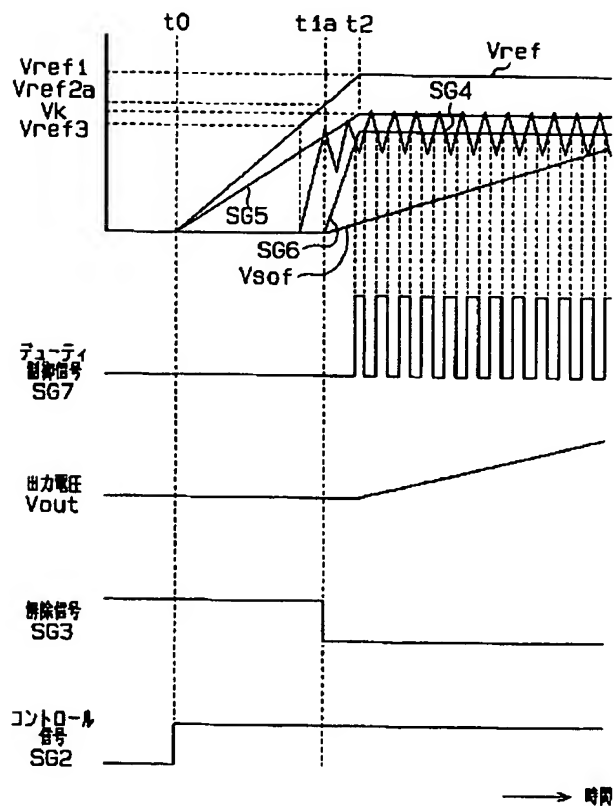
【図 1】

### 第1実施形態のDC-DCコンバータの電気回路図



【図 2】

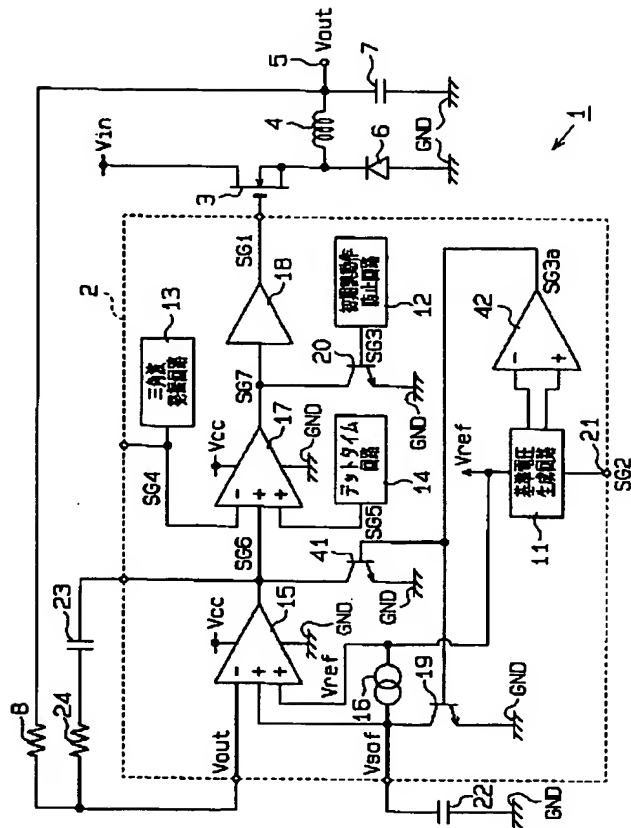
第1実施形態のDC-DCコンバータの動作を説明するための波形図



(21)

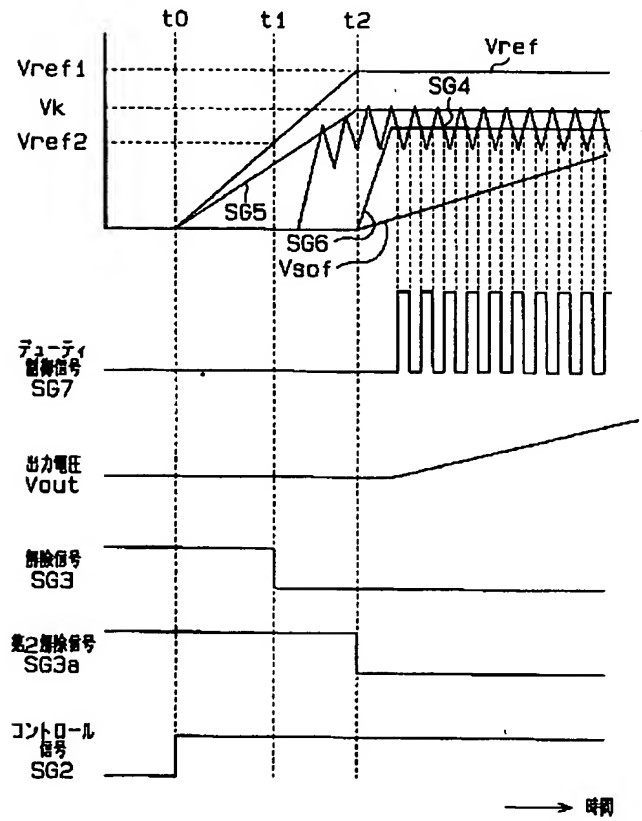
【図3】

第2実施形態のDC-DCコンバータの電気回路図



【図4】

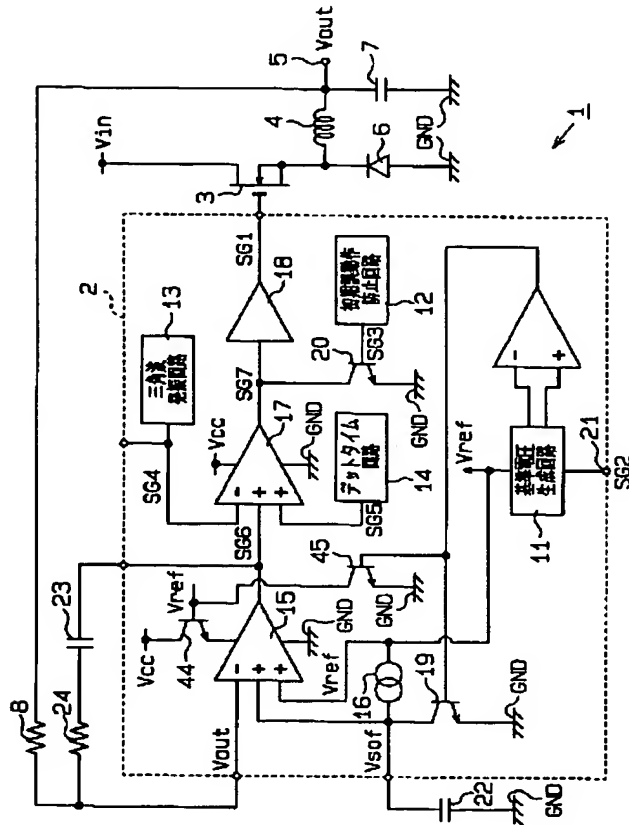
第2実施形態のDC-DCコンバータの動作を説明するための波形図



(22)

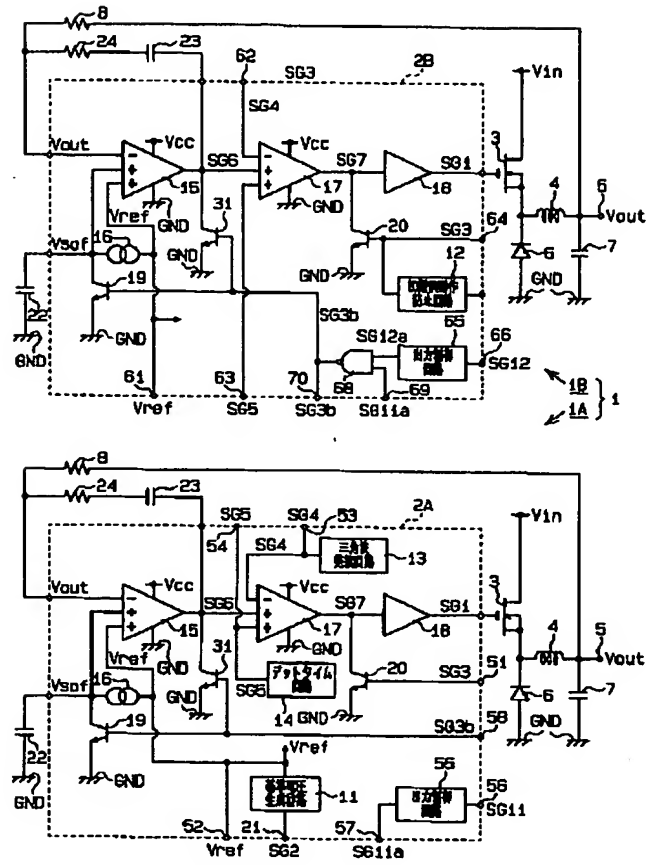
【図5】

第2実施形態の実形例を示すDC-DCコンバータの電気回路図



【図6】

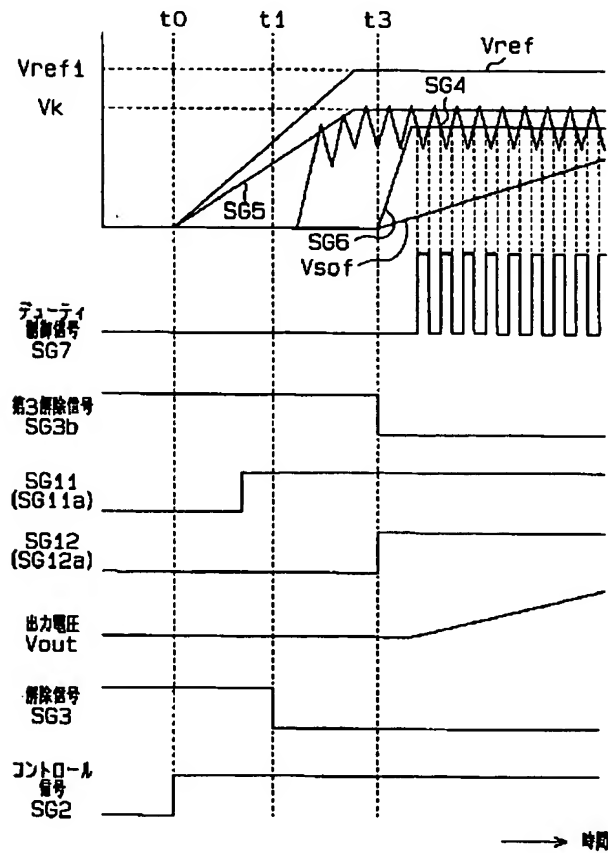
第3実施形態のDC-DCコンバータの電気回路図



(23)

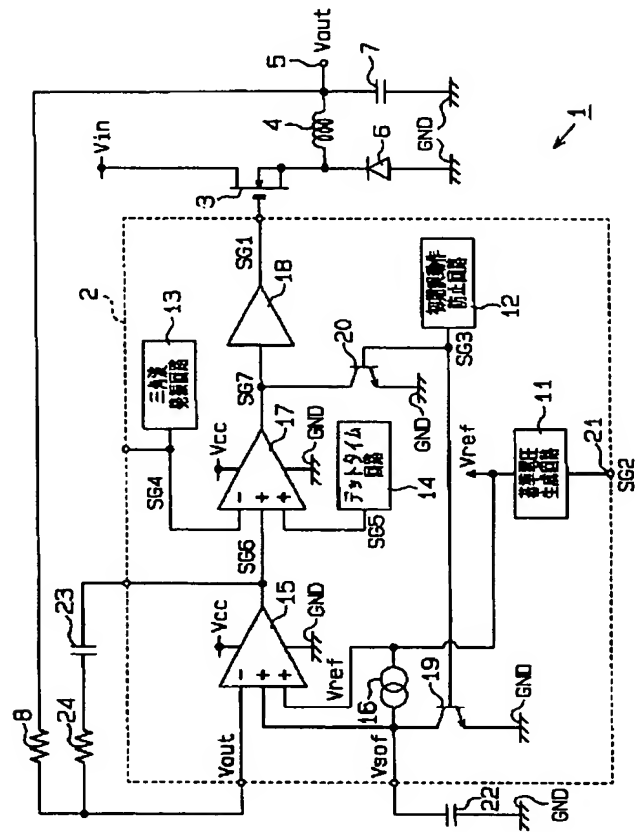
【図7】

第3実施形態のDC-DCコンバータの動作を説明するための波形図



【図8】

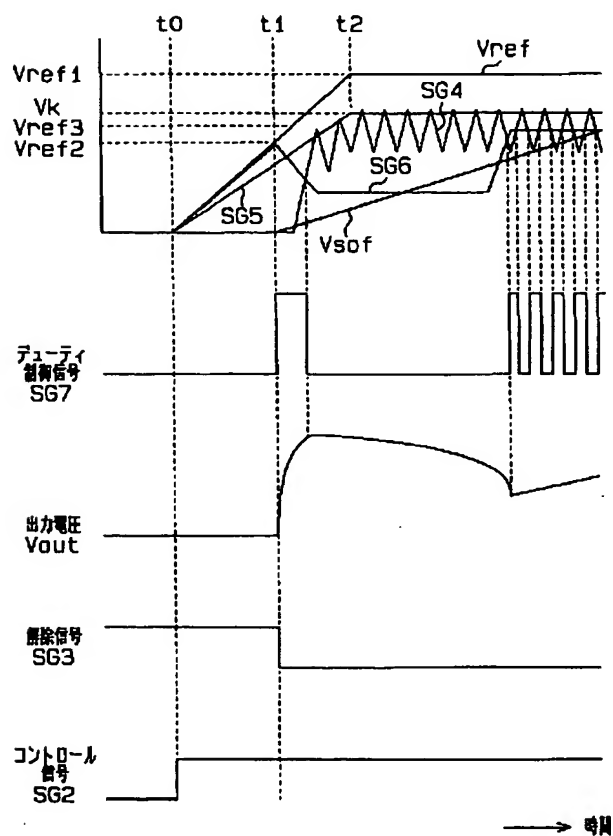
従来のDC-DCコンバータの電気回路図



(24)

【図9】

従来のOC-DCコンバータの動作を説明するための波形図



フロントページの続き

(72)発明者 松本 敬史  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

(72)発明者 松山 俊幸  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内